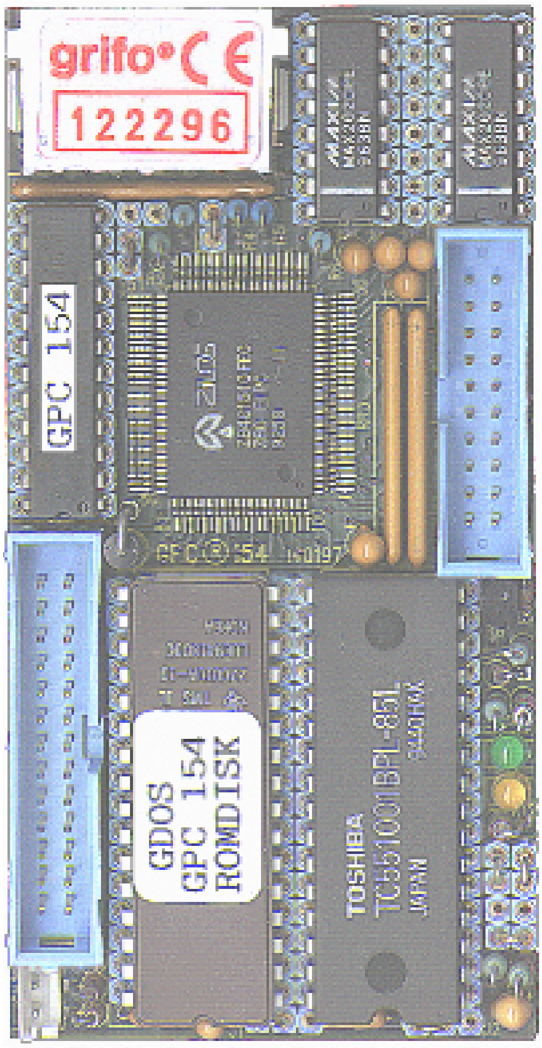
GPC® 154

General Purpose Controller 84C15

MANUALE TECNICO



grifo®
ITALIAN TECHNOLOGY
Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it
http://www.grifo.it http://www.grifo.com
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

GPC® 154 Edizione 3.20 *Rel. 16 Febbraio 2000*

abaco®, **GPC®**, **grifo®**, *sono marchi registrati della ditta* **grifo®**

GPC® 154

General Purpose Controller 84C15

MANUALE TECNICO

CPU 84C15 con quarzo a 20 MHz. 2 linee in RS 232 di cui una settabile in RS 422o RS 485(SIO); 1 timer counter ad 8 bit (CTC); 16 I/O TTL gestibili via software (PIO); 1 watch dog; 512K EPROM o FLASH EPROM; 512K RAM; Real Time Clock; EEPROM seriale; 2 LEDs di segnalazione; interfaccia **ABACO**® I/O BUS; circuiteria di back up con batteria al Litio a bordo scheda;. Scheda a basso consuno, nel formato 100x50, per guide DIN 46277-1 e 3.

grifo®
ITALIAN TECHNOLOGY
Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it
http://www.grifo.it http://www.grifo.com
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

GPC® 154 Edizione 3.20 *Rel. 16 Febbraio 2000*

abaco®, **GPC®**, **grifo®**, *sono marchi registrati della ditta* **grifo®**

Vincoli sulla documentazione **grifo**® Tutti i Diritti Riservati

Nessuna parte del presente manuale può essere riprodotta, trasmessa, trascritta, memorizzata in un archivio o tradotta in altre lingue, con qualunque forma o mezzo, sia esso elettronico, meccanico, magnetico ottico, chimico, manuale, senza il permesso scritto della **grifo**®.

IMPORTANTE

Tutte le informazioni contenute in questo manuale sono state accuratamente verificate, ciononostante **grifo**® non si assume nessuna responsabilità per danni diretti o indiretti a cose e/o persone derivanti da errori tecnici ed omissioni o dall'uso del presente manuale, del software o dell' hardware ad esso associato.
grifo® altresi si riserva il diritto di modificare il contenuto e la veste di questo manuale senza alcun preavviso, con l' intento di offrire un prodotto sempre migliore, senza che questo rappresenti un obbligo per **grifo**®.
Per le informazioni specifiche sui componenti montati sulla scheda, l'utente deve fare riferimento ai Data Book delle case costruttrici o delle seconde sorgenti.

LEGENDA SIMBOLI

Nel presente manuale possono comparire i seguenti simboli:


Attenzione: Pericolo generico


Attenzione: Pericolo di alta tensione

Marchi Registrati

, GPC®, **grifo**® : sono marchi registrati della **grifo**®.
Altre marche o nomi di prodotti sono marchi registrati dei rispettivi proprietari.

INDICE GENERALE

INDICE DELLE FIGURE

INTRODUZIONE

L'uso di questi dispositivi è rivolto - IN VIA ESCLUSIVA - a personale specializzato.

Scopo di questo manuale è la trasmissione delle informazioni necessarie all'uso competente e sicuro dei prodotti. Esse sono il frutto di un'elaborazione continua e sistematica di dati e prove tecniche registrate e validate dal Costruttore, in attuazione alle procedure interne di sicurezza e qualità dell'informazione.

I dati di seguito riportati sono destinati - IN VIA ESCLUSIVA - ad un utenza specializzata, in grado di interagire con i prodotti in condizioni di sicurezza per le persone, per la macchina e per l'ambiente, interpretando un'elementare diagnostica dei guasti e delle condizioni di funzionamento anomale e compiendo semplici operazioni di verifica funzionale, nel pieno rispetto delle norme di sicurezza e salute vigenti.

Le informazioni riguardanti installazione, montaggio, smontaggio, manutenzione, aggiustaggio, riparazione ed installazione di eventuali accessori, dispositivi ed attrezzature, sono destinate - e quindi eseguibili - sempre ed in via esclusiva da personale specializzato avvertito ed istruito, o direttamente dall'ASSISTENZA TECNICA AUTORIZZATA, nel pieno rispetto delle raccomandazioni trasmesse dal costruttore e delle norme di sicurezza e salute vigenti.

I dispositivi non possono essere utilizzati all'aperto. Si deve sempre provvedere ad inserire i moduli all'interno di un contenitore a norme di sicurezza che rispetti le vigenti normative. La protezione di questo contenitore non si deve limitare ai soli agenti atmosferici, bensì anche a quelli meccanici, elettrici, magnetici, ecc.

Per un corretto rapporto coi prodotti, è necessario garantire leggibilità e conservazione del manuale, anche per futuri riferimenti. In caso di deterioramento o più semplicemente per ragioni di approfondimento tecnico ed operativo, consultare direttamente l'Assistenza Tecnica autorizzata.

Al fine di non incontrare problemi nell'uso di tali dispositivi, è conveniente che l'utente - PRIMA DI COMINCIARE AD OPERARE - legga con attenzione tutte le informazioni contenute in questo manuale. In una seconda fase, per rintracciare più facilmente le informazioni necessarie, si può fare riferimento all'indice generale e all'indice analitico, posti rispettivamente all'inizio ed alla fine del manuale.

VERSIONE SCHEDA

Il presente manuale è riferito alla scheda **GPC® 154** versione **100997** e successive. La validità delle informazioni riportate è quindi subordinata al numero di versione della scheda in uso e l'utente deve quindi sempre verificare la giusta corrispondenza tra le due indicazioni. Sulla scheda il numero di versione è riportato in più punti sia a livello di serigrafia che di stampato (ad esempio vicino al microprocessore nel lato componenti).

CARATTERISTICHE GENERALI

La scheda **GPC® 154**, che fa parte della **Serie 4** delle CPU con ingombro di 100x50 mm, è un potente modulo di controllo, della fascia **Low-Cost**, in grado di funzionare autonomamente come periferica intelligente e/o remotata in una più vasta rete di telecontrollo e/o di acquisizione. La **GPC® 154** può essere fornita di un supporto in plastica provvisto degli attacchi per le guide ad **Omega** tipo **DIN 46277-1** e **DIN 46277-2**. In questo modo non è necessario l'uso di un **Rack**, ma la scheda può essere montata, in modo più economico, direttamente nel quadro elettrico. Viste le ridotte dimensioni della scheda **GPC® 154**, questa può essere montata nella stessa guida in plastica che contiene le periferiche di I/O, come ad esempio la **ZBR 168** , formando in questo modo un unico elemento **BLOCK**. Un'altra tipica applicazione della scheda **GPC® 154**, è quella di essere adoperata come un modulo di CPU da montare in **Piggy-Back** sulle schede periferiche realizzate direttamente dall'utente. La programmazione e l'uso delle risorse della scheda diventa estremamente semplice grazie all'uso del potente Sistema Operativo Romato **FGDOS**. Esso supporta i linguaggi ad alto livello quali Compilatori BASIC, PASCAL, C, ecc.; mette a disposizione le risorse di memoria come se fossero **ROM/RAM-Disk**, consentendo un immediato utilizzo ad alto livello di questi dispositivi. In abbinamento alla **MCI 64**, **FGDOS** gestisce le schede **PCMCIA** di **RAM Cards**, e direttamente, le periferiche di bordo come la **EEPROM** seriale. Consente inoltre la gestione diretta dei **Display LCD** o **Fluorescenti** e di una tastiera a matrice. Per un uso immediato di questa funzionalità, sono disponibili delle schede della serie **KDL-224** oppure, per chi ha bisogno di un oggetto finito, esiste il Pannello Operatore tipo **QTP 24P**. Questo Pannello Operatore, offerto nella versione a giorno, ha la stessa estetica della **QTP 24** ma, non disponendo di intelligenza locale, viene comandato direttamente dalla **GPC® 154**, consentendo così una notevole riduzione dei costi. **FGDOS**, oltre alla nota facilità di Debugger, consente di programmare direttamente a bordo scheda una **FLASH** con il programma utente. La **GPC® 154** è dotata di una serie di connettori normalizzati, standard **Abaco®**, che le consentono di utilizzare immediatamente la numerosa serie di moduli **BLOCK** di I/O oppure permettono il collegamento, in modo molto semplice ed economico, delle interfacce da campo costruite direttamente dall'utente o da terze parti. Per una rapida prototipizzazione si può ricorrere alle ottime schede **SPA 03** ed **SPA 04** su cui è possibile montare, anche in **Piggy-Back**, la **GPC® 154**. La presenza del connettore **Abaco® I/O BUS** consente inoltre di poter pilotare direttamente le schede di I/O tipo **ZBR 84**, **ZBR 168**, **ZBR 246**, **ZBR 324**, **ZBT 84**, **ZBT 168**, **ZBT 246**, **ZBT 324**, e tramite **ABB 03**, **ABB 05**, ecc. è possibile gestire tutte le numerose schede periferiche disponibili sul **BUS Abaco®**.

- Modulo Intelligente **Abaco® BLOCK**, della **Serie 4**, nel formato 100x50 mm
- Contenitore, opzionale, per guide ad Ω tipo **DIN 46277-1** e **DIN 46277-3**
- **CPU Z84C15**, fornito di base con quarzo **da 20 MHz**
- Fino a **512K** di **EPROM** o **FLASH** e fino a **512K** di **RAM**. Tramite **FGDOS** la memoria eccedente i 64K è vista come **RAM/ROM Disk**. E' possibile cancellare e riprogrammare autonomamente la **FLASH** di bordo con il programma utente.
- Circuiteria di **Back-Up** per **RAM**, tramite batteria al **LITIO** interna ed esterna
- **Real Time Clock** con possibilità di generare **INT**
- **EEPROM** seriale fino ad 8KBytes e Jumper **RUN/DEBUG Mode**
- 16 linee TTL di **I/O**, settabili da software a livello bit gestite dalla **PIO** interna
- 1 o 2 Canali di **CTC** a disposizione utente con possibilità di conteggio impulsi
- 2 linee seriali in **RS 232**, di cui una settabile in **RS 422** oppure in **RS 485**
- Doppio Baud Rate generator, settabile da software, fino a 38.400 Baud
- Circuiteria di **Watch-Dog**, disinseribile da hardware

- Connettore di espansione per **Abaco® I/O BUS** da 26 vie
- 1 connettore standard di **I/O Abaco®**, da 20 vie
- Funzione di Low-Power in **Halt Mode**, **Idle Mode** e **Stop Mode**
- Unica alimentazione esterna da 5 Vdc, 110 mA
- Protezione della logica di bordo dai transienti tramite **TransZorb™**
- Vasta disponibilità di software di sviluppo quali **Remote Symbolic Debugger, Macro Assembler, GET 80, BASIC Compiler, FORTH, Compilatore C, HTC-80, Lisp, Compilatore PASCAL**, ecc.

Viene di seguito riportata una descrizione dei blocchi funzionali della scheda, con indicate le operazioni effettuate da ciascuno di essi. Per una più facile individuazione di tali blocchi e per una verifica delle loro connessioni, fare riferimento alla figura 1.

PROCESSORE DI BORDO

La scheda **GPC® 154** è predisposta per accettare il processore Z84C15 prodotto dalla ZILOG. Tale processore ad 8 bit è codice compatibile con lo Z80 ed è quindi caratterizzato da un esteso set di istruzioni (158), da un'alta velocità di esecuzone e di manipolazione dati e da un efficiente gestione vettorizzata degli interrupts. Di fondamentale importanza è la presenza delle seguenti periferiche interne al microprocessore:

- 16 linee di I/O settabili a livello di bit in grado di generare interrupts (PIO);
- 4 Timer Counter ad 8 bit, con funzione di prescaler programmabile (CTC);
- 2 linee seriali asincrone o sincrone complete di segnali di handshake (SIO);
- Watch Dog Timer;
- Wait state generator;
- Frequenza di Clock programmabile;
- Interrupt controller;
- Possibilità di operare in idle e stop mode, per minimizzare i consumi.

Per maggiori informazioni sul componente si faccia riferimento all'apposita documentazione della casa costruttrice, oppure all'appendice B di questo manuale.

MEMORY MANAGEMENT UNIT

Al fine di poter gestire in modo pratico ed efficace le configurazioni di memoria di cui può essere dotata la **GPC® 154**, a partire dallo spazio d'indirizzamento logico di 64 KByte del microprocessore, è stata prevista un'apposita sezione di MMU. Tale sezione provvede tramite una facile programmazione software, l'allocazione dei 64K di lavoro all'interno dello spazio di memoria massimo di 1032K.

CLOCK

Sulla **GPC® 154** è presente un circuito che provvede a generare rispettivamente la frequenza di clock per la CPU (19.66 MHz) e tramite un canale del CTC viene generato la frequenza del Baud Rate , relativo alle linee di comunicazione seriale della scheda, raggiungendo una velocità massima di 38400 bit secondo.

MEMORIE

E’ possibile dotare la scheda di un massimo di 1032K di memoria variamente suddivisi con un massimo di 512KByte EPROM o FLASH EPROM, 512KByte RAM ed infine 8KByte EEPROM seriale. La scelta della configurazione delle memorie presenti sulla scheda può avvenire in relazione all’applicazione da risolvere e quindi alle esigenze dell’utente. Da questo punto di vista si ricorda che la scheda viene normalmente fornita con 128KByte RAM di lavoro più 512 Byte di EEPROM seriale e che tutte le rimanenti configurazioni di memoria devono essere quindi opportunamente specificate in fase di ordine della scheda. Sfruttando la circuiteria di back up di bordo più la batteria tampone esterna, si ha la possibilità di mantenere i dati anche in assenza di alimentazione. Questa caratteristica fornisce alla scheda la possibilità di ricordare in ogni condizione, una serie di parametri come ad esempio la configurazione o lo stato del sistema, anche per lunghi periodi di inattività. Il mappaggio delle risorse di memoria avviene tramite una opportuna circuiteria di bordo, che provvede ad allocare i dispositivi all’interno dello spazio d’indirizzamento del microprocessore. Per maggiori informazioni fare riferimento al capitolo “DESCRIZIONE HARDWARE” e “DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO”. Per una descrizione più approfondita sui dispositivi di memoria, sugli zoccoli da utilizzare e sullo strippaggio della scheda, fare riferimento al paragrafo “SELEZIONE MEMORIE”.

COMUNICAZIONE SERIALE

La comunicazione seriale è completamente settabile via software per quanto riguarda sia il protocollo sia la velocità (da un minimo di 150 ad un massimo di 38,4K Baud) ed in modo completamente autonomo per entrambe le linee di comunicazione. Tali settaggi avvengono tramite la programmazione del SIO interno allo Z84C15 e della sezione di baud rate generator, implementata tramite CTC, Timer 2 seriale A e Timer 3 seriale B, quindi per ulteriori informazioni si faccia riferimento alla documentazione tecnica della casa costruttrice o all’appendice B di questo manuale. Dal punto di vista hardware è invece possibile selezionare, tramite una serie di comodi jumpers, il protocollo fisico di comunicazione. In particolare una linea è sempre bufferata in RS 232, mentre la rimanente può essere bufferata in RS 232, RS 485 ed RS 422; in quest’ultimo caso è definibile anche se la comunicazione avviene in Full Duplex o Half Duplex.

LINEE DI I/O DIGITALI

Sulla scheda sono presenti due port paralleli da 8 bit per un totale di 16 linee di I/O logico a livello TTL, con direzionalità settabile a livello di bit, gestite dal PIO interno allo Z84C15. Tali linee sono collegate direttamente ad un connettore standardizzato di I/O **ABACO®** ed hanno la possibilità di generare interrupt. In questo modo una determinata condizione esterna può distogliere la CPU dalle normali operazioni, in modo da rispondere sempre e prontamente a tutti gli eventi. Il PIO viene completamente gestito via software tramite la programmazione di 4 registri situati nello spazio di I/O della CPU da un’apposita logica di controllo.

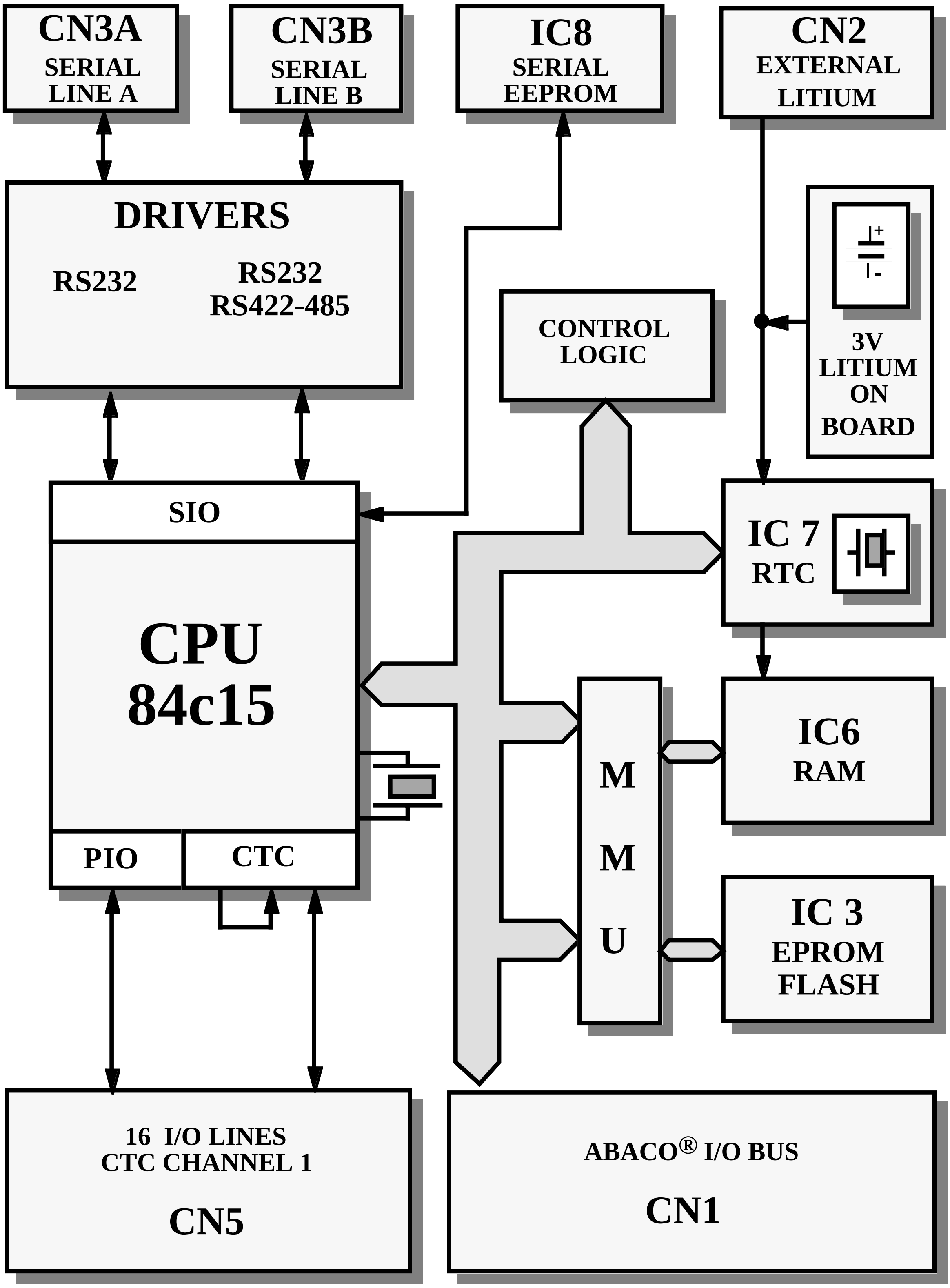


FIGURA 1 : SCHEMA A BLOCCHI

REAL TIME CLOCK

La **GPC® 154** dispone di un completo Real Time Clock in grado di gestire ore, minuti, secondi, giorno del mese, mese, anno e giorno della settimana in modo completamente autonomo. L'alimentazione del componente è fornita dalla circuiteria di back up in modo da garantire la validità dei dati in ogni condizione operativa ed è completamente gestito via software, tramite la programmazione di 16 registri situati nello spazio di I/O della CPU da un'apposita logica di controllo. La sezione di RTC può inoltre generare interrupt in corrispondenza di intervalli di tempo programmabili via software, in modo da poter periodicamente distogliere la CPU dalle normali operazioni oppure periodicamente risvegliarla dagli stati di halt, idle, stop mode.

I/O ABACO® BUS

Una delle caratteristiche di fondamentale importanza della **GPC® 154** è quella di disporre del cosiddetto **ABACO® I/O BUS**: ovvero un connettore normalizzato **ABACO®** con cui è possibile collegare la scheda ad una serie di moduli esterni intelligenti e non. Tra questi si trovano moduli per acquisizione di segnali analogici (A/D), per la generazione di segnali analogici (D/A), per gestione di linee di I/O logico, per counter, ecc. e ne possono essere realizzati anche su specifiche richieste dell'utente. Utilizzando mother board come l'**ABB 03** o l'**ABB 05** è inoltre possibile gestire tutte le schede periferiche in formato Europa con interfaccia per BUS **ABACO®**. Tale caratteristica rende la scheda espandibile con un ottimo rapporto prezzo/prestazioni e quindi adatta a risolvere molti dei problemi dell'automazione industriale.

WATCH DOG

La scheda **GPC® 154** è provvista di una circuiteria separate di Watch Dog che, se utilizzata, consente di uscire da stati di loop infinito o da condizioni anomale non previste dal programma applicativo. Tale circuiteria è composta da una sezione monostabile interna al microprocessore caratterizzata da un tempo di intervento programmabile. La circuiteria di watch dog interna al microprocessore puo essere utilizzata anche per la generazione di interrupt periodici, intervenendo su un apposito jumper. Tutta la gestione avviene via software (tramite l'accesso ad opportuni registri situati nello spazio d'indirizzamento della CPU) e conferisce al sistema basato sulla scheda, una sicurezza estrema.

ALIMENTAZIONE DI BORDO

L' unica tensione di alimentazione necessaria è di **+5 Vdc che deve essere fornita tramite i pin 25 (GND) e 26 (+5Vdc) di CN1**. Sulla scheda sono state adottate tutte le scelte circuitali e componentistiche che tendono a ridurre i consumi, compresa la possibilità di far lavorare alcuni microcontrollori in power down ed idle mode ed a ridurre la sensibilità ai disturbi. Si ricorda inoltre che è presente una circuiteria di protezione tramite **TransZorb™** per evitare danni dovuti a tensioni non corrette.

COUNTER TIMER

La sezione di timer counter di bordo è costituita dalla sezione CTC del microprocessore e dispone di 4 canali ad 8 bit indipendenti e programmabili via software. La periferica è vista tramite 4 registri, situati nello spazio di I/O dalla logica di controllo della scheda, con cui possono essere definite le modalità di funzionamento (timer o counter, prescaler, trigger, ecc.) e l'eventuale generazione d'interrupt. Due dei quattro canali sono usati come baud rate generator per le linee seriali.
I canali 2 e 3 sono utilizzati per il baud rate , i canali 0 e 1 sono a disposizione utente in particolare lo 0 come timer mentre il canale 1, presente su CN5, anche counter.

CONTATTO DI RESET

Sulla **GPC® 154** è presente un contatto di reset (J3 pos.3-4) che ha la funzione di resettare e quindi far ripartire la scheda da una condizione di azzeramento generale. La funzione principale di questo contatto è quella di uscire da condizioni di loop infinito, soprattutto durante la fase di debug o di garantire uno stato certo di partenza. Per una facile individuazione di tale contatto di reset a bordo scheda, si faccia riferimento alla figura 17.

LOGICA DI CONTROLLO

Il mappaggio di tutti i registri delle periferiche presenti sulla scheda e dei dispositivi di memoria, è affidata ad un'opportuna logica di controllo che si occupa di allocare tali dispositivi nello spazio d'indirizzamento della CPU. Per maggiori informazioni fare riferimento al paragrafo "MAPPAGGIO DELL'I/O".

SPECIFICHE TECNICHE

CARATTERISTICHE GENERALI

Risorse della scheda:	16 input/output programmabili TTL (PIO) 4 timer counter ad 8 bit a livello TTL (CTC) 1 linea bidirezionale RS 232 (SIO) 1 linea bidirezionale RS 232, RS 422 o RS485 (SIO) 1 contatto locale di reset 2 LEDs gestibili via software 1 watch dog software monostabile 1 real time clock 1 interfaccia **ABACO®** I/O BUS
Memoria indirizzabile:	IC 3: EPROM da 128K x 8 a 512K x 8 FLASH EPROM da 128K x 8 a 512K x 8 IC 6: RAM da 128K x 8 a 512K x 8 IC 8: EEPROM seriale da 256 byte a 8K byte
CPU di bordo:	ZILOG 84C15
Frequenza di clock:	19,660 MHz
Tempi intervento watch dog:	programmmabile via software nell'intervallo 6÷419 msec

CARATTERISTICHE FISICHE

Dimensioni (L x A x P):	100 x 50 x 25 mm (senza contenicore plastico) 110 x 60 x 60 mm (con il contenicore plastico)
Peso:	70 g (senza contenicore plastico) 110 g (con il contenicore plastico)
Connettori:	CN1: 26 vie scatolino verticale M CN2: 2 vie scatolino verticale M CN3A: Plug a 6 vie CN3B: Plug a 6 vie CN5: 20 vie scatolino verticale M
Range di temperatura:	da 0 a 50 gradi Centigradi
Umidità relativa:	20% fino a 90% (senza condensa)

CARATTERISTICHE ELETTRICHE

Tensione di alimentazione:	5 Vdc ±5% (tramite CN1)	
Corrente assorbita sui 5 Vdc:	115 mA	
Batteria di bordo di back up:	3,0 Vdc; mod. CR2032	
Batteria esterna di back up :	3,6÷5 Vdc	
Corrente di back up:	15 μ A	
Rete terminazione RS 422-485:	Resistenza terminazione linea=	120 Ω
	Resistenza di pull up sul positivo=	3,3 KΩ
	Resistenza di pull down sul negativo=	3,3 KΩ

INSTALLAZIONE

In questo capitolo saranno illustrate tutte le operazioni da effettuare per il corretto utilizzo della scheda. A questo scopo viene riportata l'ubicazione e la funzione degli strip, dei connettori e dei LEDs, ecc. presenti sulla **GPC® 154**.

CONNESSIONI CON IL MONDO ESTERNO

Il modulo **GPC®154** è provvisto di 4 connettori con cui vengono effettuati tutti i collegamenti con il campo e con le altre schede del sistema di controllo da realizzare. Di seguito viene riportato il loro pin out ed il significato dei segnali collegati; per una facile individuazione di tali connettori, si faccia riferimento alla figura 15, mentre per ulteriori informazioni a riguardo del tipo di connessioni, fare riferimento alle figure successive che illustrano il tipo di collegamento effettuato a bordo scheda.

CN2 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP

CN2 è un connettore a scatolino, verticale, maschio, con passo 2,54 mm a 2 vie. Tramite CN2 deve essere collegata una batteria esterna che provvede a mantenere i dati della RAM di bordo ed a garantire il funzionamento del real time clock, in assenza di tensione di alimentazione (per maggiori informazioni fare riferimento al paragrafo "BACK UP".

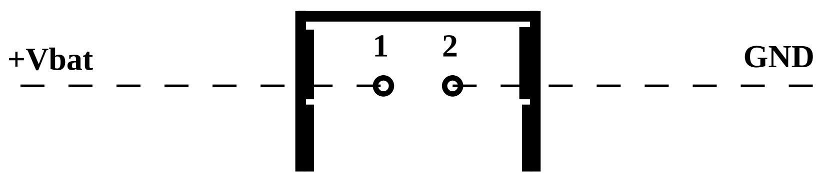


FIGURA 2: CN2 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP

Legenda:

+Vbat	=	I	-	Positivo della batteria esterna di back up
GND	=		-	Negativo della batteria esterna di back up

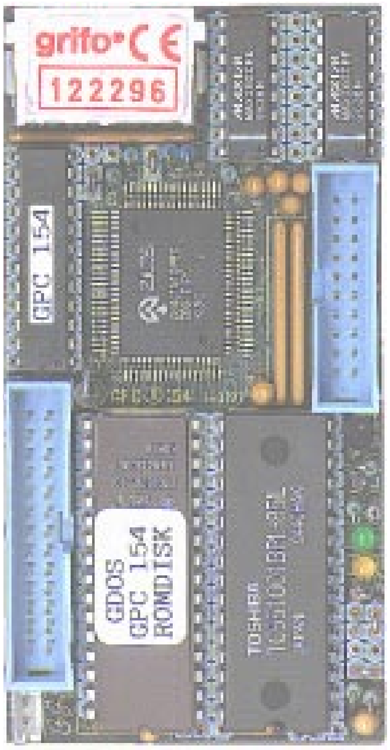


FIGURA 3: FOTO SCHEDA

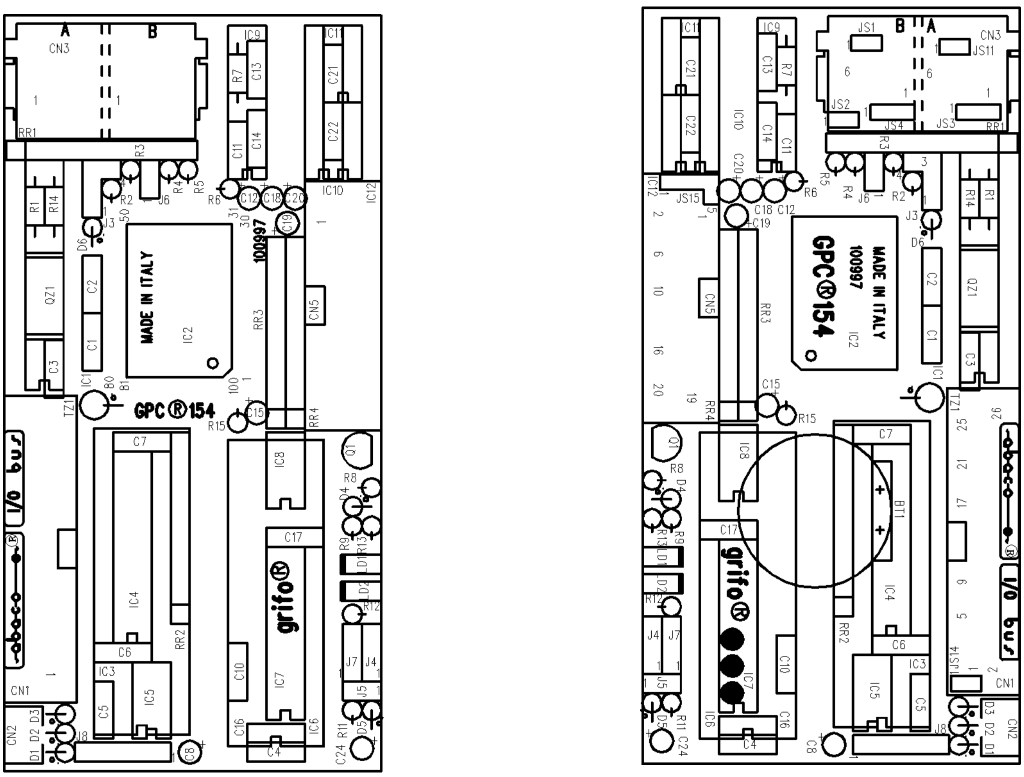


FIGURA 4: PIANTA COMPONENTI LATO COMPONENTI E LATO STAGNATURA

CN3A - CONNETTORE PER LINEA SERIALE A

Il connettore per la comunicazione della linea seriale A, in RS 232, denominato CN3A sulla scheda, è del tipo PLUG a 6 vie. La disposizione di tali segnali, riportata di seguito, è stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare la connessione con il campo, mentre i segnali rispettano le normative definite dal CCITT relative allo standard RS 232.

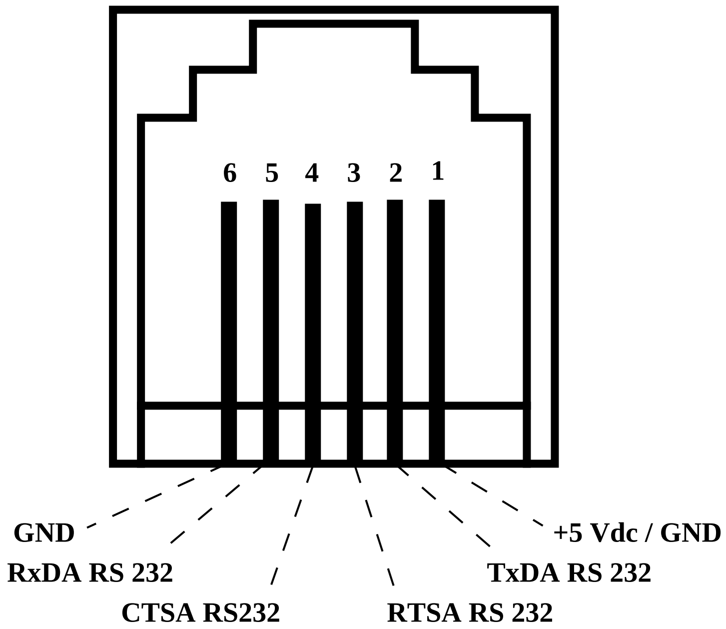


FIGURA 5: CN3A - CONNETTORE PER COMUNICAZIONE SERIALE A

Legenda:

RxDA RS 232	=	I	- Receive Data: linea di ricezione in RS 232 della seriale A.
TxDA RS 232	=	O	- Transmit Data: linea di trasmissione in RS 232 della seriale A.
CTSA RS 232	=	I	- Clear To Send: linea di abilitazione alla trasmissione in RS 232 della seriale A.
RTSA RS 232	=	O	- Request To Send: linea di richiesta di trasmissione in RS 232 della seriale A.
+5 Vdc/GND	=	I	- Linea di alimentazione a +5 Vcc o linea di massa.
GND	=		- Linea di massa.

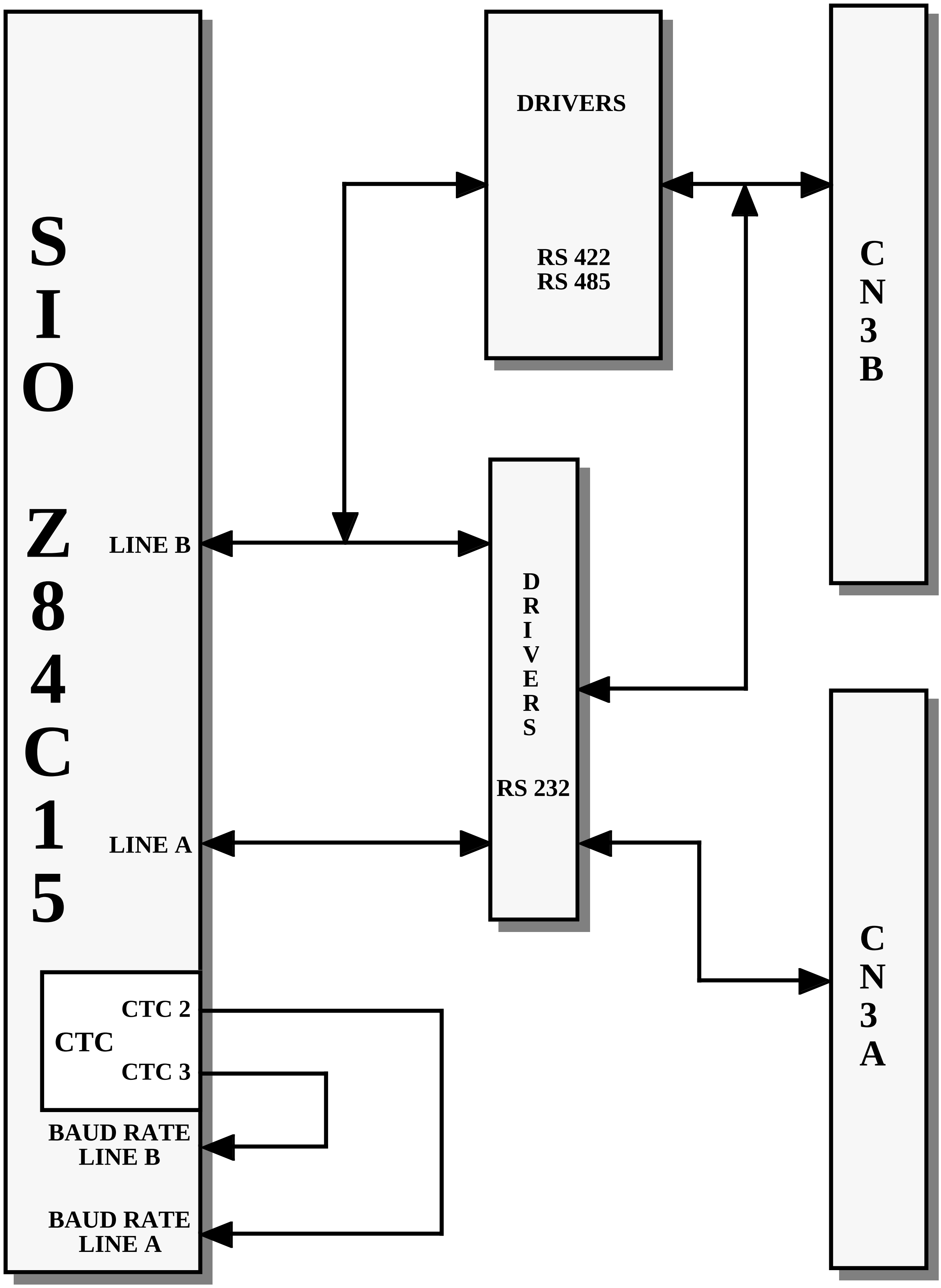


FIGURA 6: SCHEMA DI COMUNICAZIONE SERIALE

CN3B - CONNETTORE PER LINEA SERIALE B

Il connettore per la comunicazione della linea seriale B, in RS 232, RS 422, RS 485, denominato CN3B sulla scheda, è del tipo PLUG a 6 vie. La disposizione di tali segnali è stata studiata in modo da ridurre al minimo le interferenze e da facilitare la connessione con il campo, mentre i segnali rispettano le normative definite dal CCITT relative ad ognuno degli standard di comunicazione usati.

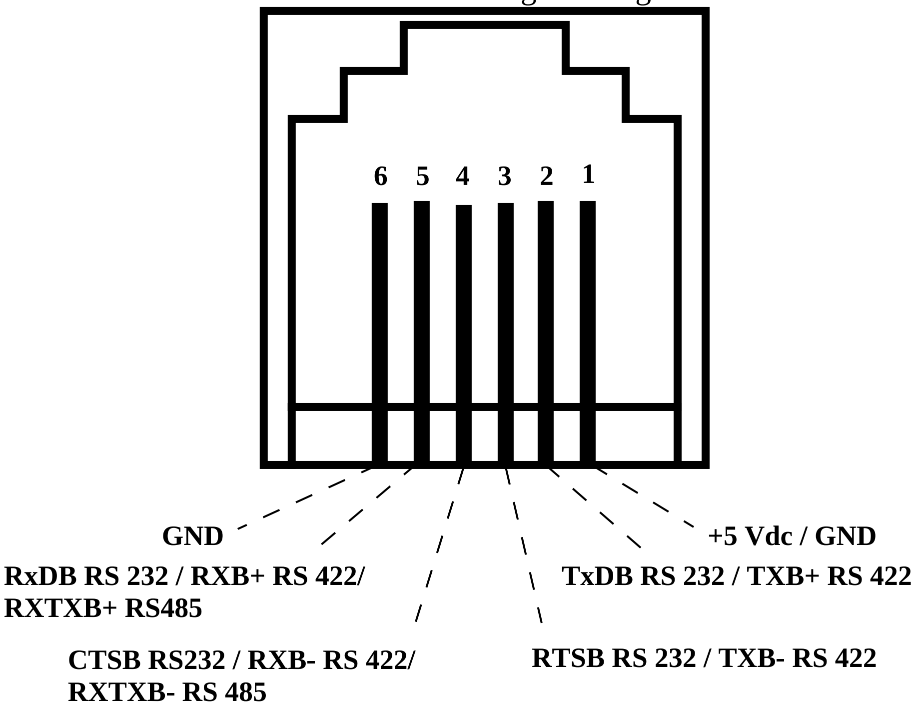


FIGURA 7: CN3B - CONNETTORE PER COMUNICAZIONE SERIALE B

Legenda:

RXB- RS 422	=	I	- Receive Data Negative: linea bipolare negativa di ricezione differenziale in RS 422 della seriale B.
RXB+ RS 422	=	I	- Receive Data Positive: linea bipolare positiva di ricezione differenziale in RS 422 della seriale B.
TXB- RS 422	=	O	- Transmit Data Negative: linea bipolare negativa di trasmissione differenziale in RS 422 della seriale B.
TXB+ RS 422	=	O	- Transmit Data Positive: linea bipolare positiva di trasmissione differenziale in RS 422 della seriale B.
RXTXB- RS 485	=	I/O	- Receive Transmit Data Negative: linea bipolare negativa di ricezione e trasmissione differenziali in RS 485 della seriale B.
RXTXB+ RS 485	=	I/O	- Receive Transmit Data Positive: linea bipolare positiva di ricezione e trasmissione differenziali in RS 485 della seriale B.
RxDB RS 232	=	I	- Receive Data: linea di ricezione in RS 232 della seriale B.
TxDB RS 232	=	O	- Transmit Data: linea di trasmissione in RS 232 della seriale B.
CTSB RS 232	=	I	- Clear To Send: linea abilitazione della trasmissione RS 232 per seriale B.
RTSB RS 232	=	O	- Request To Send: linea richiesta di trasmissione RS 232 per seriale B.
+5 Vdc/GND	=	I	- Linea di alimentazione a +5 Vcc o linea di massa.
GND	=		- Linea di massa.

NOTA: I segnali di handshake CTS devono essere necessariamente collegati, ovvero non si può acquisire con certezza via software il loro stato se fisicamente non connessi ad un altro sistema.

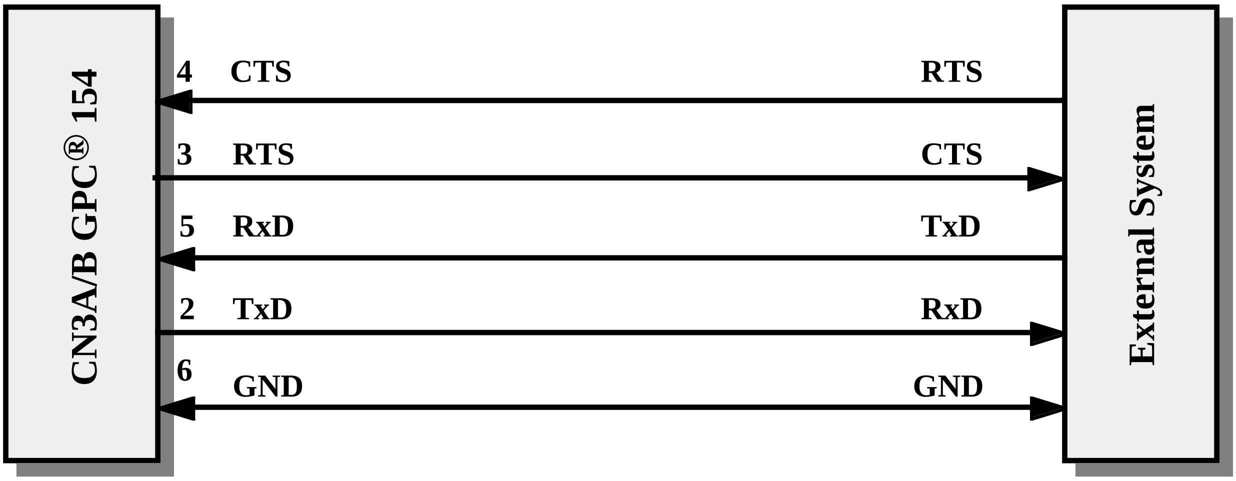


FIGURA 8: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 232

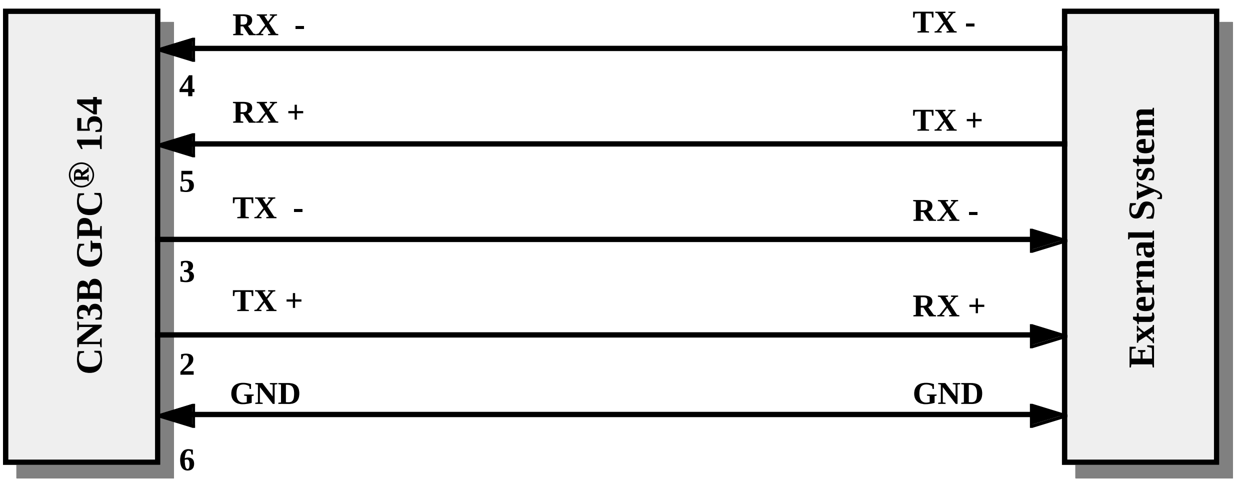


FIGURA 9: ESEMIPO COLLEGAMENTO PUNTO PUNTO IN RS 422

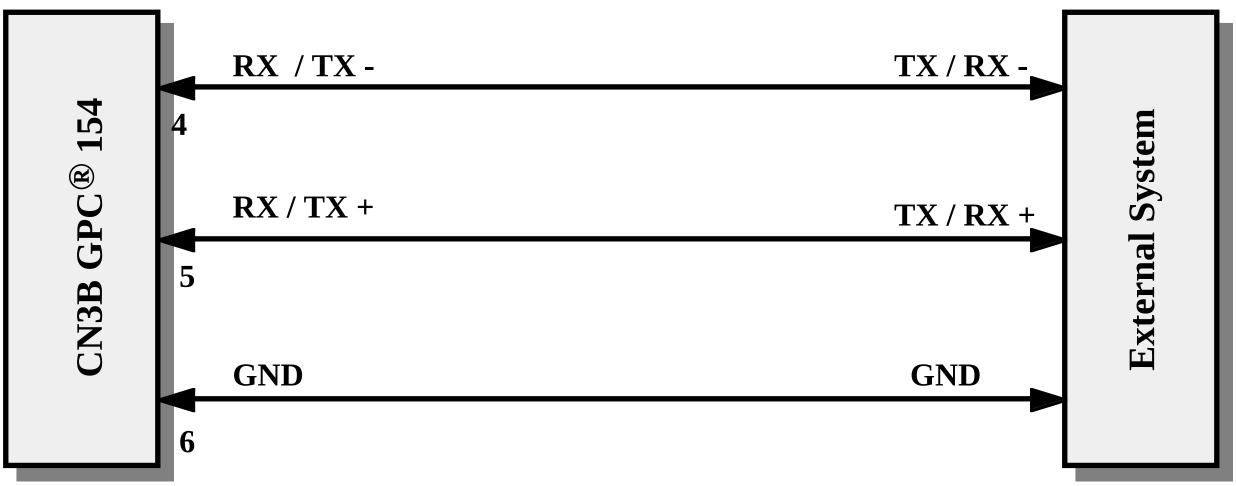


FIGURA 10: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 485

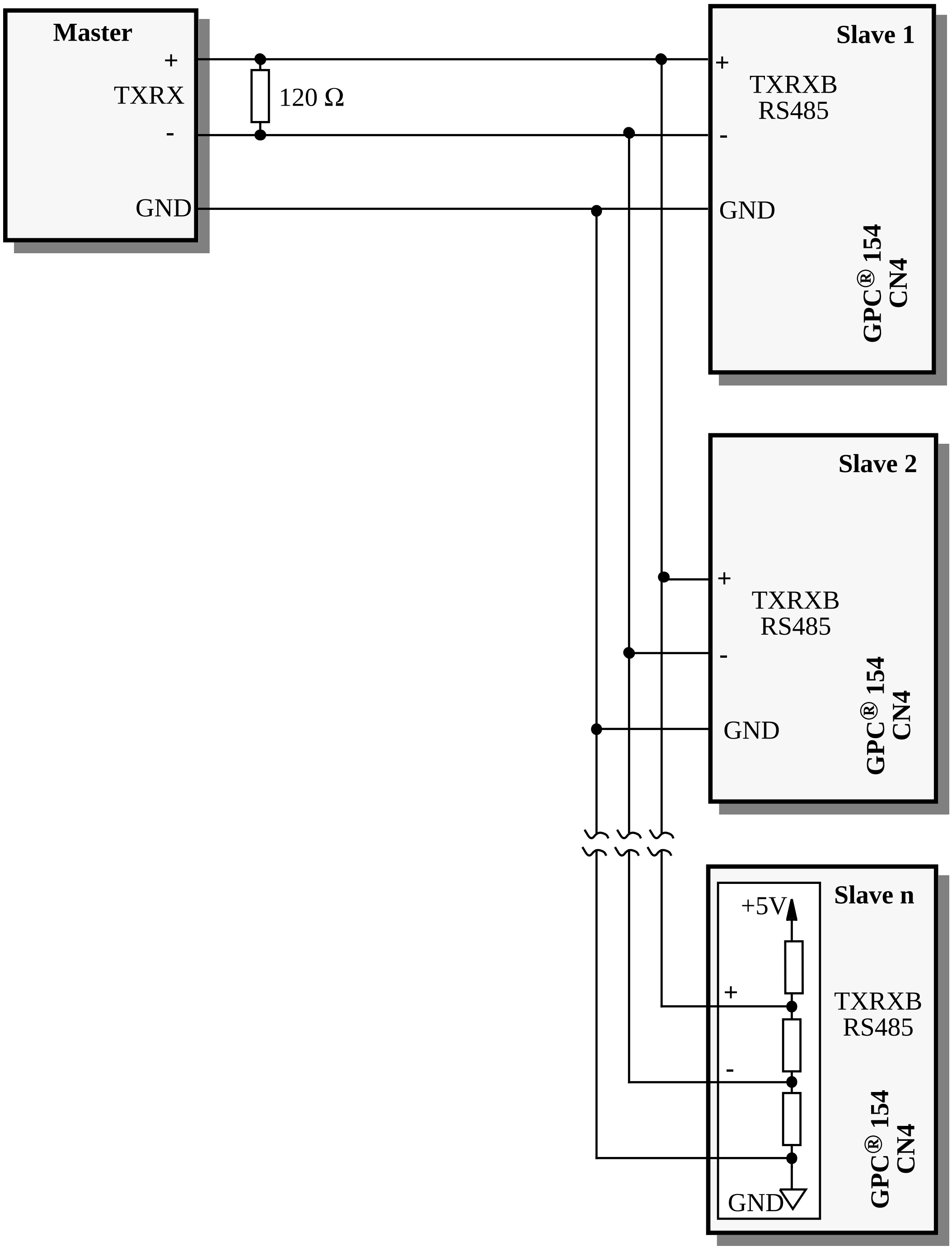


FIGURA 11: ESEMPIO COLLEGAMENTO IN RETE IN RS 485

Da notare che in una rete RS 485, devono essere presenti due resistenze di forzatura lungo la linea e due resitenze di terminazione (120 Ω), alle estremità della stessa, rispettivamente vicino all'unità Master ed all'ultima unità Slave.
A bordo della **GPC® 154** è presente la circuiteria di terminazione e forzatura, che può essere inserita o disinserita, tramite appositi jumpers, come illutrato in seguito.
In merito alla resistenza di terminazione dell'unità Master, provvedere a collegarla solo se questa non é già presente al suo interno (ad esempio molti convertitori RS232-RS485 ne sono già provvisti).
Per maggiori informazioni consultare il Data-Book TEXAS INSTRUMENTS, "*RS 422 and RS 485 Interface Cicuits*", nella parte introduttiva riguardante le reti RS 422-485.

CN1 - CONNETTORE PER ABACO® I/O BUS

CN1 è un connettore a scatolino verticale con passo 2.54 mm a 26 piedini. Tramite CN1 si effettua la connessione tra la scheda e la serie di moduli esterni di espansione, da utilizzare per l'interfacciamento diretto con il campo. Tale collegamento è effettuato tramite l'**ABACO® I/O BUS** di cui questo connettore riporta tutti i segnali a livello TTL.

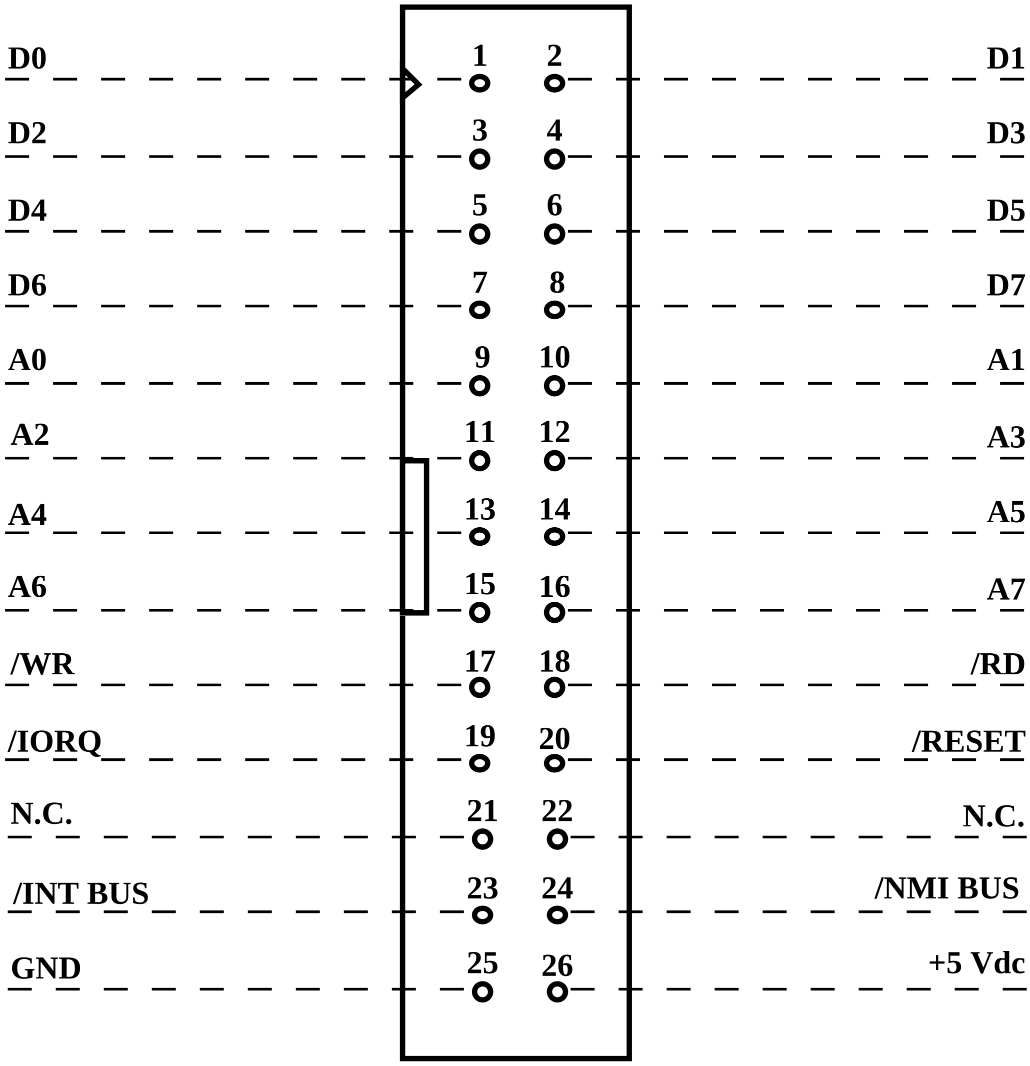


FIGURA 12: CN1 - CONNETTORE PER ABACO® I/O BUS

Legenda:

A0-A7	=	O	- Address BUS: BUS degli indirizzi.
D0-D7	=	I/O	- Data BUS: BUS dei dati.
/INT BUS	=	I	- Interrupt request: richiesta d'interrupt. Deve essere in open collector
/NMI BUS	=	I	- Non Mascable Interrupt: richiesta d'interrupt non mascherabile.
/IORQ	=	O	- Input Output Request: richiesta operazione Input Output su I/O BUS.
/RD	=	O	- Read cycle status: richiesta di lettura.
/WR	=	O	- Write cycle status: richiesta di scrittura.
/RESET	=	O	- Reset: azzeramento.
+5 Vdc	=	I/O	- Linea di alimentazione a +5 Vcc.
GND	=		- Linea di massa.
N.C.	=		- Non Collegato.

CN5 - CONNETTORE PER I/O DEL PIO E CTC 1

CN5 è un connettore a scatolino verticale con passo 2.54 mm a 20 piedini. Tramite CN5 si effettua la connessione tra l'interfaccia periferica programmabile PIO e l'ambiente esterno, utilizzando i due port paralleli ad 8 bit di cui dispone, inoltre è presente il canale 1 del CTC. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL e seguono il pin out standardizzato I/O **Abaco®**.

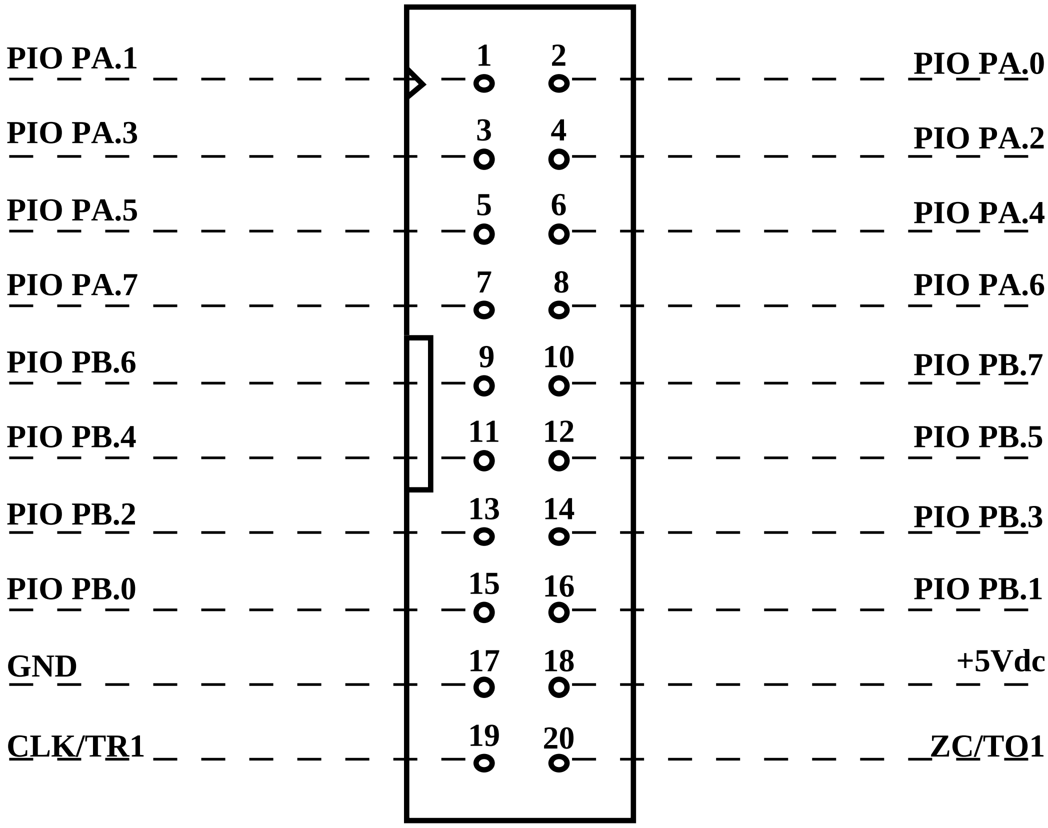


FIGURA 13: CN5 - CONNETTORE PER I/O DEL PIO E CTC 1

Legenda:

PIO PA.n	=	I/O	- Linea digitale n del port A del PIO
PIO PB.n	=	I/O	- Linea digitale n del port B del PIO
CLK/TR1	=	I	- Clock Trigger del canale 1 del CTC
ZC/TO1	=	O	- Zero Count Timer Out del contatore 1 del CTC
+5 Vdc	=	O	- Linea di alimentazione a +5 Vcc
GND	=		- Linea di massa
N.C.	=		- Non Collegato

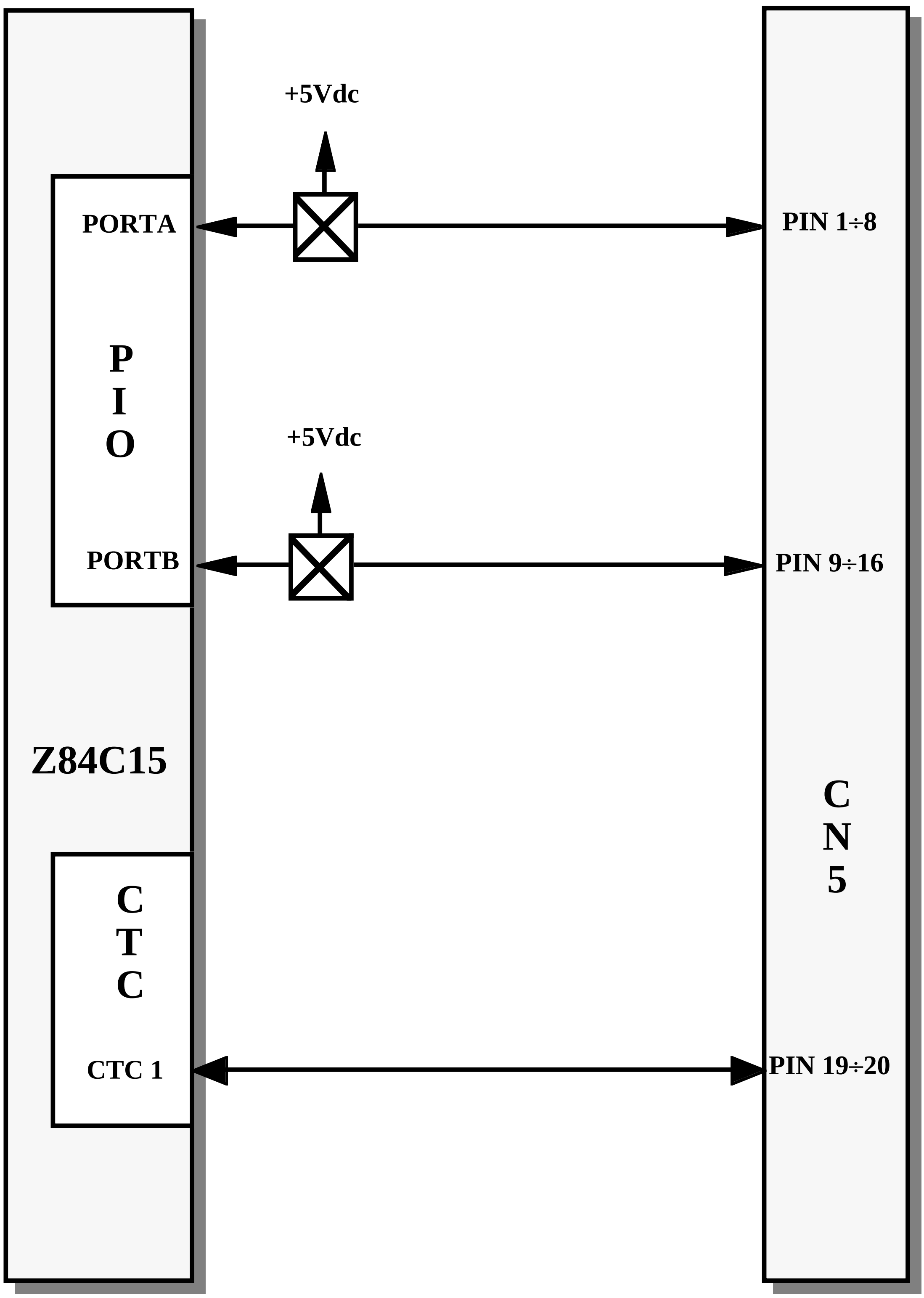


FIGURA 14: SCHEMA DI COLLEGAMENTO LINEE DI I/O DIGITALE

INTERFACCE PER I/O DIGITALI

Tramite CN5 (connettore standard di **I/O ABACO®**) si può collegare la **GPC® 154** ai numerosi moduli del carteggio **grifo®** che riportano lo stesso pin out. Dal punto di vista dell'installazione, queste interfaccie richiedono solo un flat a 20 vie (ordinabile dalla **grifo®** con il codice **FLT.20+20**) con cui è possibile portare anche le alimentazioni, mentre dal punto di vista software la gestione è altrettanto semplice ed immediata, infatti i pacchetti software disponibili per la **GPC® 154** sono provvisti di tutte le procedure necessarie. Quest'ultime per la maggioranza dei pacchetti software disponibili, coincidono con dei "driver software" aggiunti al linguaggio di programmazione, che consentono di utilizzare direttamente le istruzioni ad alto livello dello stesso linguaggio di programmazione e quindi tutta la loro potenza.
Di particolare interesse è la possibilità di collegare direttamente una serie di moduli come:

- **QTP 24P**, **KDL x24**, **KDF 224**, **DEB 01**, ecc. con cui risolvere tutti i problemi di interfacciamento operatore locale. Questi moduli sono già dotati delle risorse necessarie per gestire un buon livello di colloquio uomo-macchina (includono infatti display alfanumerici, tastiera a matrice e LEDs di visualizzazione) ad una breve distanza dalla **GPC® 154**. Dal punto di vista software i driver disponibili rendono utilizzabili le risorse dell'interfaccia operatore direttamente con le istruzioni ad alto livello per la gestione della console.
- **MCI 64** con cui risolvere tutti i problemi di salvataggio di grosse quantità di dati. Questo modulo è dotato di un connettore per memory card PCMCIA su cui possono essere inserite vari tipi di memory card (RAM, FLASH, ROM, ecc) nei vari size disponibili. Dal punto di vista software i driver disponibili coincidono con un completo file system e rendono utilizzabili le memory card direttamente con le istruzioni ad alto livello per la gestione dei files.
- **IAC 01**, **DEB 01** con cui gestire una stampante con interfaccia parallela CENTRONICS. Quest'ultima può essere collegata direttamente all'interfaccia, con un cavo standard, e quindi gestita con le istruzioni relative alla stampante del linguaggio di programmazione utilizzato.
- **RBO xx**, **TBO xx**, **XBI xx**, **OBI xx** con cui bufferare i segnali di I/O TTL nei confronti del campo. Con questi moduli i segnali di input vengono convertiti in ingressi optoisolati di tipo NPN o PNP, mentre i segnali di output vengono convertiti in uscite galvanicamente isolate a transistor o relé.

Per maggiori informazioni relative alle interfaccie per I/O digitali si veda il capitolo "SCHEDE ESTERNE" e la documentazione del software utilizzato.

SEGNALAZIONI VISIVE

La scheda **GPC® 154** è dotata di nove LEDs con cui segnala alcune condizioni di stato, come descritto nella seguente tabella.

LEDs	COLORE	FUNZIONE
LD1	Verde	Segnala la connessione 1-2 di J7, corrispondente allo stato basso del segnale /SYNCB, associata allo stato di RUN mode
LD2	Giallo	Segnala la connessione 2-3 di J7, corrispondente allo stato alto del segnale /SYNCB, associata allo stato di DEBUG mode

FIGURA 14: TABELLA DELLE SEGNALAZIONI VISIVE

La funzione principale di questi LEDs è quella di fornire un'indicazione visiva dello stato della scheda, facilitando quindi le operazioni di verifica di funzionamento di tutto il sistema. Per una più facile individuazione di tali segnalazioni visive, si faccia riferimento alla figura 15.

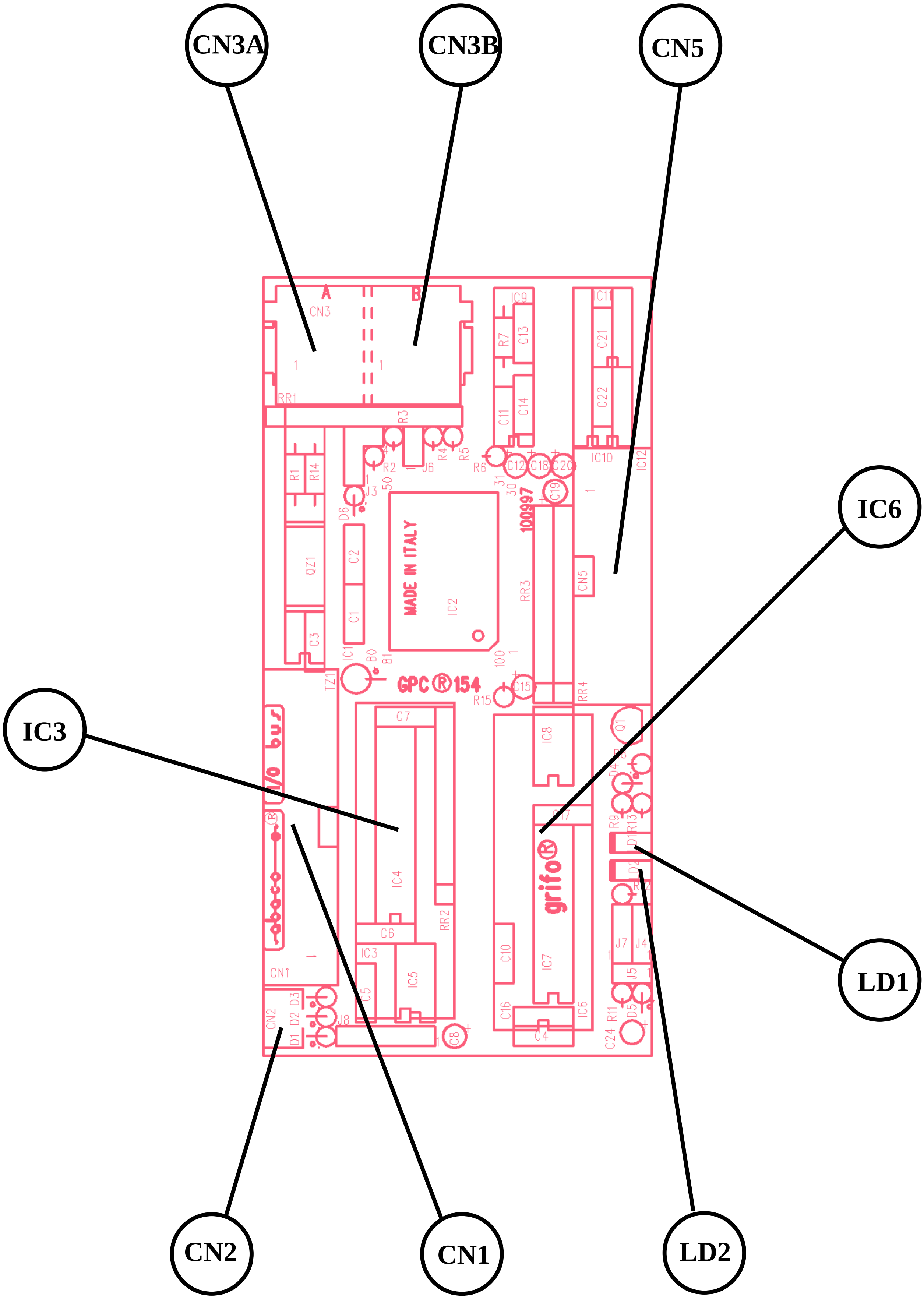


FIGURA 15: DISPOSIZIONE LEDS, CONNETTORI, ECC.

INTERFACCIAMENTO DEGLI I/O CON IL CAMPO

Al fine di evitare eventuali problemi di collegamento della scheda con tutta l'elettronica del campo a cui la **GPC® 154** si deve interfacciare, si devono seguire le informazioni riportate nei precedenti paragrafi e le relative figure che illustrano le modalità interne di connessione.

- Per i segnali che riguardano la comunicazione seriale con i protocolli RS 232, RS 422, RS 485, fare riferimento alle specifiche standard di ognuno di questi protocolli.
- Tutti i segnali a livello TTL possono essere collegati a linee dello stesso tipo riferite alla massa digitale della scheda. Il livello 0V corrisponde allo stato logico 0, mentre il livello 5V corrisponde allo stato logico 1.

JUMPERS

Esistono a bordo della **GPC® 154** 13 jumpers con cui è possibile effettuare alcune selezioni che riguardano il modo di funzionamento della stessa. Di seguito ne è riportato l'elenco, l'ubicazione e la loro funzione nelle varie modalità di connessione.

JUMPERS	N. VIE	UTILIZZO
J3	4	Seleziona collegamenti watch dog , /INT e reset
J4	3	Seleziona il size del dispositivo di memoria su IC4
J5	2	Collega segnale d'interrupt della sezione real time clock
J6	2	Determina stato del segnale di handshake /DCDB usato come generico ingresso utente di configurazione.
J7	3	Determina stato del segnale di handshake SYNCB, per la selezione della modalità RUN o DEBUG
J8	5	Seleziona dispositivo di memoria su IC3
JS1	2	Collega resistenza di terminazione e forzatura alla linea di ricezione in RS 422, RS 485
JS2	2	Collega resistenza di terminazione e forzatura alla linea di ricezione in RS 422, RS 485
JS3	3	Seleziona il tipo di collegamento per il pin 1 di CN3A
JS4	3	Seleziona il tipo di collegamento per il pin 1 di CN3B
JS11	2	Determina stato del segnale di handshake /CTSB
JS14	2	Collega la batteria di bordo BT1alla circuiteria di back up
JS15	5	Seleziona tipo di comunicazione per la linea seriale B tra RS 422 e RS 485

FIGURA 16: TABELLA RIASSUNTIVA JUMPERS

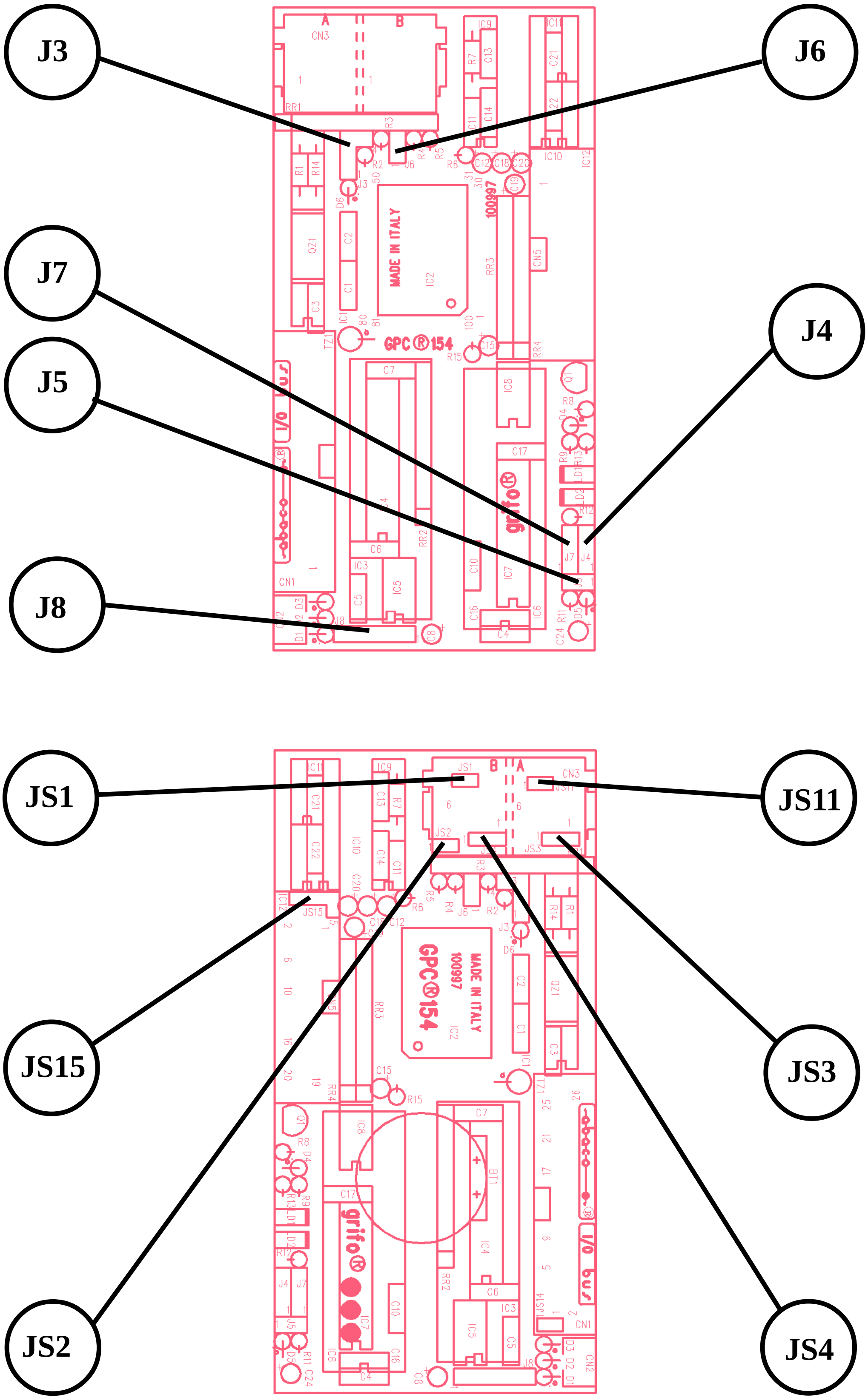


FIGURA 17: DISPOSIZIONE JUMPERS

Di seguito è riportata una descrizione tabellare delle possibili connessioni dei 16 jumpers con la loro relativa funzione. Per riconoscere tali connessioni sulla scheda si faccia riferimento alla serigrafia della stessa o alla figura 4 di questo manuale, dove viene riportata la numerazione dei pin dei jumpers, che coincide con quella utilizzata nella seguente descrizione. Per l'individuazione dei jumpers a bordo della scheda, si utilizzi invece la figura 17.

JUMPERS A 2 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J5	non connesso	Non collega segnale d'interrupt /INT della CPU alla sezione Real Time Clock	*
	connesso	Collega segnale d'interrupt /INT della CPU alla sezione Real Time Clock	
J6	non connesso	Connette segnale /DCDB della SIO a +Vcc, settando uno stato logico 1.	*
	connesso	Connette segnale /DCDB della SIO a GND, settando uno stato logico 0.	
JS1	non connesso	Non collega circuiteria di terminazione e forzatura alla linea seriale B in RS 422-485	*
	connesso	Collega circuiteria di terminazione e forzatura alla linea seriale B in RS 422-485	
JS2	non connesso	Non collega circuiteria di terminazione e forzatura alla linea seriale B in RS 422-485	*
	connesso	Collega circuiteria di terminazione e forzatura alla linea seriale B in RS 422-485	
JS11	non connesso	Non altera il seganle /CTSB.	*
	connesso	Connette segnale /CTSB della SIO a GND, settando uno stato logico 0 con IC10 non montato.	
JS14	non connesso	Non collega la batteria di bordo BT1 alla circuiteria di back up.	*
	connesso	Collega la batteria di bordo BT1 alla circuiteria di back up.	

FIGURA 18: TABELLA JUMPERS A 2 VIE

* indica la connessione di default, ovvero la connessione impostata in fase di collaudo, con cui la scheda viene fornita.

JUMPERS A 3 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J4	posizione 1-2	Predispone IC 6 per RAM da 128K Byte	*
	posizione 2-3	Predispone IC 6 per RAM da 512K Byte	
J7	posizione 1-2	Connette segnale /SYNCB della SIO a GND, attivando LD1 e selezionando la modalità RUN	
	posizione 2-3	Connette segnale /SYNCB della SIO a +5 Vcc, attivando LD2 e selezionando la modalità DEBUG	*
JS3	posizione 1-2	Collega pin 1 di CN3A a GND	*
	posizione 2-3	Collega pin 1 di CN3A a +5 Vcc	
JS4	posizione 1-2	Collega pin 1 di CN3B a GND	*
	posizione 2-3	Collega pin 1 di CN3B a +5 Vcc	

FIGURA 19: TABELLA JUMPERS A 3 VIE

JUMPERS A 4 E 5 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J3	posizione 1-2	Connette la circuiteria di watch dog interna al segnale di /INT della CPU	
	posizione 2-3	Connette la circuiteria di watch dog interna alla circuiteria di reset	
	posizione 3-4	Reset manuale, non deve restare connnesso	
J8	posizione 1-2 e 3-4	Predispone IC3 per una EPROM	
	posizione 2-3 e 4-5	Predispone IC3 per una FLASH EPROM	*
JS15	posizione 1-2 e 3-4	Abilita comunicazione su linea seriale B in RS 485 (half duplex a 2 fili)	
	posizione 2-3 e 4-5	Abilita comunicazione su linea seriale B in RS 422 (full duplex o half duplex a 4 fili)	

FIGURA 20: TABELLA JUMPERS A 4 E 5 VIE

COMUNICAZIONE SERIALE

La linea di comunicazione seriale A della scheda **GPC® 154** può essere bufferata solo in RS 232, mentre la linea seriale B può essere bufferata in RS 232, RS 422 o RS 485. La selezione del tipo d'interfacciamento avviene via hardware e viene effettuata tramite un opportuno strippaggio dei jumpers di bordo, come può essere desunto dalla lettura delle precedenti tabelle. Dal punto di vista software sono invece definibili tutti i parametri del protocollo fisico di comunicazione tramite la programmazione dei registri interni della CPU.
Alcuni componenti necessari per le configurazioni RS 422 e RS 485 non sono montati e collaudati sulla scheda in configurazione di default; per questo la prima configurazione della seriale B non in RS 232 deve essere sempre effettuata dai tecnici **grifo®**. A questo punto l'utente può cambiare autonomamente la configurazione seguendo le informazioni sotto riportate:

- LINEA SERIALE B SETTATA IN RS 232 (configurazione default)

JS1, 2	=	non connesso	IC10	= driver MAX 202
JS11	=	non connesso	IC11	= nessun componente
JS15	=	indifferente	IC12	= nessun componente

- LINEA SERIALE B SETTATA IN RS 422 (opzione .RS 422)

JS1, 2	=	(*1)	IC10	= nessun componente
JS11	=	(*2)	IC11	= driver SN75176 o MAX 483
JS15	=	posizione 2-3 e 4-5	IC12	= driver SN75176 o MAX 483

Lo stato del segnale /RTSB, gestito via software, consente di abilitare o disabilitare il trasmettitore come segue:

/RTSB = livello basso = stato logico 0 -> trasmettitore attivo
/RTSB = livello alto = stato logico 1 -> trasmettitore disattivo

Per sistemi punto punto, la linea /RTSB può essere mantenuta sempre bassa (trasmettitore sempre attivo), mentre per sistemi multipunto si deve attivare il trasmettitore solo in corrispondenza della trasmissione.

- LINEA SERIALE B SETTATA IN RS 485 (opzione .RS 485)

JS1, 2	=	(*1)	IC10	= nessun componente
JS11	=	(*2)	IC11	= nessun componente
JS15	=	posizione 1-2 e 3-4	IC12	= driver SN75176 o MAX 483

In questa modalità le linee da utilizzare sono i pin 4 e 5 di CN3B, che quindi diventano le linee di trasmissione o ricezione a seconda dello stato del segnale /RTSB, gestito via software, come segue:

/RTSB = livello basso = stato logico 0 -> linea in trasmissione
/RTSB = livello alto = stato logico 1 -> linea in ricezione

Questa comunicazione la si utilizza sia per connessioni punto punto che multipunto con un collegamento a 2 fili. Sempre in questa modalità é possibile ricevere quanto trasmesso, in modo da fornire al sistema la possibilità di verificare autonomamente la riuscita della trasmissione; infatti in caso di conflitti sulla linea, quanto trasmesso non viene ricevuto correttamente e viceversa.

(*1) Nel caso si utilizzi la linea seriale in RS 422 o RS 485, con i jumpers JS1 e JS2 é possibile connettere la circuiteria di terminazione e forzatura sulla linea . Tale circuiteria deve essere sempre presente nel caso di sistemi punto punto, mentre nel caso di sistemi multipunto, deve essere collegata solo sulle schede che risultano essere alla maggior distanza, ovvero ai capi della linea di comunicazione.

(*2) La funzione del jumper JS11 é quella di mantenere attivo l'handshake d'ingresso /CTSB quando la linea seriale B non é configurata in RS 232. In particolare se l'utente attiva la modalità autoenable (modalità in cui la ricezione e la trasmissione é autonomamente condizionata dallo stato degli handshake hardware) questo jumper dovrà essere connesso al fine di mantenere abilitata la trasmissione seriale.

In fase di reset o power on, il segnale /RTSB è mantenuto a livello logico alto di conseguenza in seguito ad una di queste fasi il driver RS 485 è in ricezione o il driver di trasmissione RS 422 è disattivo, in modo da eliminare eventuali conflittualità sulla linea di comunicazione.
Per ulteriori informazioni relative alla comunicazione seriale fare riferimento all'appendice A.

SELEZIONE MEMORIE

La **GPC® 154** può montare fino ad un massimo di 1032 Kbytes di memoria variamente suddivisa. In particolare per la configurazione seguire le informazioni riportate nella seguente tabella:

IC	DISPOSITIVO	DIMENSIONE	STRIPPAGGIO
3	EPROM	128K÷512KByte	J8 in posizione 1-2 e 3-4
	FLASH EPROM	128K÷512KByte	J8 in posizione 2-3 e 4-5
6	RAM	128K Byte	J4 in posizione 1-2
	RAM	512K Byte	J4 in posizione 2-3
8	EEPROM	256÷8K Byte	-

FIGURA 21: TABELLA DI SELEZIONE MEMORIE

Tutti i dispositivi RAM, EPROM e FLASH EPROM sopra descritti devono essere con pin out di tipo JEDEC a parte l'EEPROM seriale di IC 8 che deve essere richiesta alla **grifo®** in fase di ordine della scheda. Per quanto riguarda le sigle dei vari dispositivi che possono essere montati, fare riferimento alla documentazione della casa costruttrice.
Normalmente la **GPC® 154** é fornita nella sua configurazione di default con solamente 128K RAM su IC6 e 512 bytes di EEPROM su IC8; ogni configurazione diversa può essere montata dall'utente oppure richiesta nella fase di ordine. Sotto sono riportate i codici delle opzioni disponibili:

.512K	->	512K RAM
.EE08	->	1K EEPROM seriale
.EE16	->	2K EEPROM seriale
.EE64	->	8K EEPROM seriale

Per ulteriori informazioni e costi delle opzioni, contattare direttamente la **grifo®**, mentre per ulteriori inPer una facile individuazione dei dispositivi di memoria fare riferimento alla figura 15.

BACK UP

La **GPC® 154** è provvista di una batteria al litio BT1 che tramite JS14provvede a tamponare la RAM ed il Real Time Clock di bordo anche in assenza della tensione di alimentazione. Una seconda batteria esterna può essere collegata alla circuiteria di back up tramite il connettore CN2 e sostituisce a tutti gli effetti la BT1. Per la scelta della batteria esterna di back up seguire le indicazioni del paragrafo "CARATTERISTICHE ELETTRICHE", mentre per la sua individuazione si veda la figura 15.

INTERRUPTS

Una caratteristica peculiare della **GPC® 154** è la notevole potenza nella gestione delle interruzioni. Di seguito viene riportata una breve descrizione di quali sono i dispositivi che possono generare interrupts e con quale modalità; per quanto riguarda la gestione di tali interrupts si faccia riferimento ai data sheets del microprocessore oppure all'appendice B di questo manuale.

- **ABACO®** I/O BUS -> Genera un /INT e /NMI normale, senza rispettare la catena di priorità daisy chain.
- SIO -> Genera un /INT normale o vettorizzato, tenendo conto della catena di priorità daisy chain.
- PIO -> Genera un /INT normale o vettorizzato, tenendo conto della catena di priorità daisy chain.
- CTC -> Genera un /INT normale o vettorizzato, tenendo conto della catena di priorità daisy chain.
- Watch dog interno -> Genera un /INT normale tramite J3 in pos. 1-2, senza rispettare la catena di priorità daisy chain,.
- Real Time Clock -> Genera un /INT normale, senza rispettare la catena di priorità daisy chain,

La catena di priorità daisy chain presente sulla scheda è composta solo dalle tre periferiche SIO, PIO e CTC e può essere programmata via software tramite uno dei registri interni al microprocessore. In questo modo l'utente ha sempre la possibilità di rispondere in maniera efficace e veloce a qualsiasi evento esterno, stabilendo anche la priorità delle varie sorgenti.

RESET E WATCH DOG

La scheda **GPC® 154** è dotata di una circuiteria di watch dog molto efficiente e di facile gestione software. In particolare:

- circuiteria interna al microprocessore:
- funzionamento monostabile;
- tempo d'intervento programmabile via software;
- attivarazione via software e via hardware;
- retrigger via software;

Si ricorda che nel funzionamento monostabile, una volta scaduto il tempo d'intervento, la circuiteria di watch dog si attiva rimanendo attiva fino ad un power on o reset.
Si ricorda inoltre che il segnale di /RESET generato dalla scheda è riportato anche sul connettore CN1 (pin 20) e che tra le sorgenti di reset della **GPC® 154**, oltre alle eventuali circuiterie di watch dog, sono sempre presenti il jumper J3 in posizione 3-4 e la circuiteria di power good.
Per ulteriori informazioni si faccia riferimento all'appendice B di questo manuale.

DESCRIZIONE SOFTWARE

Questa scheda ha la possibilità di usufruire di una ricca serie di strutture software che consentono di utilizzarne al meglio le caratteristiche. In generale la scheda può utilizzare tutte le risorse software disponibili per il processore montato, ovvero i numerosi pacchetti ideati per lo Z80. Tra questi ricordiamo:

GET80
Completo programma di EDITOR , Comunicazione e gestione delle Memorie di Massa per le schede della famiglia 80. Questo programma, sviluppato dalla **grifo**®, consente di operare in condizioni ottimali, tutte le volte che si deve usare il **GDOS** o la versione per FLASH EPROM **FGDOS**. Viene fornito in abbinamento all'aquisto di uno dei pacchetti citati e viene personalizzato con il nome ed i dati dell'acquirente. Una serie di comodi menù a tendina facilita l'uso del programma, il quale può funzionare anche in abbinamento ad un mouse. Il programma, oltre che girare in ambiente MS-DOS, gira tranquillamente anche sulle macchine MACINTOSH in abbinamento al programma SOFT-PC. Viene fornito su dischetti MS-DOS da 3"1/2 con relativa documentazione sul manuale **GDOS 80**.

GDOS 154
Tools di sviluppo completo per le schede della fam. 80. Viene fornito in abbinamento al programma **GET80**, per consentire un immediato e pieno utilizzo di questo potente strumento di sviluppo. Il GDOS può essere concettualmente diviso in due distinte strutture. Una struttura lavora essenzialmente su PC, mantenendo il collegamento con la seconda tramite la linea seriale. La seconda risiede in EPROM ed opera a bordo scheda. La parte a bordo scheda è essenzialmente un potente Sistema Operativo che si preoccupa di eseguire tutte quelle funzioni a più basso livello e nello stesso tempo consente di poter operare con linguaggi ad Alto Livello direttamente a bordo scheda. L'abbinamento delle due strutture fa si che la scheda ed il PC si comportino come un'unica macchina. Infatti la scheda usa, come se fossero le proprie, le risorse del PC come le Memoria di Massa quali i Floppy-Disk, l'Hard-Disk; la Stampante ecc. Il tutto avviene in modo completamente trasparente per l'utente il quale usa questo tipo di Macchina Virtuale esattamente come è abituato ad adoperare il suo PC. Molto interessante è la compatibilità del **GDOS** con tutti i linguaggi ed i programmi CP/M. Questo significa che se l'utente ha dei programmi o dei linguaggi a cui sono legate delle applicazioni o delle sue specifiche conoscenze o altro, può utilizzare tutto quanto ha, virtualmente senza cambiamenti, in modo immediato sotto **GDOS**.
Il **GDOS**, oltre ai tipici drivers del PC, gestisce come RAM-Disk e ROM-Disk tutte le risorse di memoria della scheda, eccedenti i 64KBytes, là dove queste siano presenti. Questo significa che i dispositivi di RAM a bordo scheda, che spesso sono Backed tramite batterie, possono essere gestite in modo diretto dai linguaggi ad alto livello, trattando comodamente come Files, le informazioni da archiviare o ricercare.
Il Tools viene fornito in EPROM, in abbinamento al disco in formato MS-DOS del **GET80**, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

FGDOS 154
Caratteristiche analoghe al **GDOS**, con la differenza che è in grado di programmare e cancellare le FLASH-EPROM a bordo scheda, con i programmi generati dall'utente. In questo modo non è necessario un programmatore di EPROM esterno per congelare il programma. E' inoltre possibile, tramite un PC Portatile, intervenire direttamente a bordo macchina per cambiare il programma di gestione.
Il Tools viene fornito in FLASH-EPROM, in abbinamento al disco in formato MS-DOS del **GET80**, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

xGDOS MCI 154
Versione del **GDOS**, o del **FGDOS**, in grado di gestire, ad alto livello, le schedine di Memory-Card tipo PCMCIA. In abbinamento alla scheda **MCI 64**, il Sistema Operativo di bordo gestisce come RAM-Disk o ROM-Disk le Memory-Card. Questo consente di risolvere rapidamente, e senza crearsi problemi di gestione software, tutte quelle problematiche di raccolta dati che spesso si incontrano nella realizzazione di strutture di Data-Logging, gestendo questi dispositivi sempre con linguaggi ad alto livello.
Il Tools viene fornito in EPROM od in FLASH-EPROM, a secondo le necessità dell'utente, in abbinamento al disco in formato MS-DOS del **GET80**, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

CBZ-80
Completo **Compilatore BASIC**, per la fam. di CPU Z80 compatibili, in grado di generare un codice molto compatto e molto veloce. Per poter funzionare ha bisogno di essere usato in abbinamento ad una qualsiasi delle versioni del **GDOS**. Lo **CBZ-80** consente di superare la limitazione dei 64 KBytes indirizzabili dalle CPU della famiglia 80. A questo scopo si utilizza la tecnica del CHAIN, offerta dal Sistema Operativo **GDOS** in abbinamento alle possibilità di RAM-Disk e ROM-Disk offerte dalle varie schede del carteggio **Abaco**®. Usato con il potente Editor incorporato nel programma **GET80**, si dispone di un potente strumento di lavoro per generare, con estrema efficienza e comodità, qualsiasi programma applicativo.
Il programma viene fornito in EPROM, assieme al sistema operativo della serie **GDOS**, e su dischetto MS-DOS e con il relativo manuale tecnico ed una serie di esempi.

PASCAL-80
Completo e molto efficiente Compilatore PASCAL per la famiglia 80 di CPU. Ha delle caratteristiche operative analoghe a quelle del **Turbo PASCAL** Ver.3 della **Borland**, a cui si fà riferimento per quanto riguarda sia le caratteristiche che la manualistica. Il **PASCAL-80** lavora in abbinamento ad una delle varie versioni di Sistema Operativo **GDOS**. Le modalità di Emulazione Terminale offerta dal programma **GET80**, supportano pienamente il tipico Editor a pieno schermo del PASCAL, compresa la gestione degli attributi. Sfruttando la possibilità di gestione di RAM-Disk e ROM-Disk, offerta dal **GDOS**, si possono sfruttare appieno le possibilità di OVERLAY del PASCAL per superare il limite dei 64KBytes di indirizzamento delle CPU della famiglia 80.
Il programma viene fornito in EPROM, assieme al sistema operativo della serie **GDOS**, e su dischetto MS-DOS in abbinamento alle note tecniche e ad una serie di esempi.

RSD 154
Questo Tools è un **Remote Simbolic Debugger** che ha due modalità operative. La prima è una modalità di debugger in simulazione. La seconda è una modalità di debugger in remoto. In questo ultimo caso si riesce ad effettuare il debugger del codice direttamente sulla scheda target. Tramite la linea seriale, si effettuato il Down-Load del programma in HEX e della relativa tabella dei simboli. Fatto il caricamento, è possibile debuggare il codice in modo simbolico, in modalità Step-To-Step, mettere break-point, ecc. con delle caratteristiche di comodità simili a quelle di un In Circuit Emulator. Il programma **RSD** è in grado di supportare sia il codice **Z80** che i codici aggiuntivi dello **Z180**. Le possibilità di debugger del Tools **RSD** possono espletarsi sia in abbinamento ad un **Macro Assembler** come lo **ZASM 80**, che in abbinamento al **C Compiler CC-80**. Molto importante è la possibilità di gestire dei Break-Point software, legati ad una molteplicità di possibilità ed un Break-Point hardware che fa capo al segnale di NMI.
Il Tools viene fornito in EPROM e su un dischetto MS-DOS con il relativo manuale tecnico.

ZASM 80

Macro Cross-Assembler in grado di lavorare su un qualsiasi PC in ambiente MS-DOS. E' in grado di supportare sia il mnemonico dello Z80 che i codici aggiuntivi presenti nello Z180. Il codice generato può essere debuggato sia in simulazione sul PC che direttamente sul target, in modalità remota, utilizzando il comodo tools **RSD**. Lo **ZASM** è compatibile con il C Compiler **CC-80**, di cui assembla il risultato della compilazione.
Il programma viene fornito su dischetto MS-DOS e con il relativo manuale tecnico.

CC 80

Compilatore C, ANSI/ISO Standard, completo di Floating-Point, in grado di generare codice per le CPU della famiglia Z80 e Z180. Si abbina al Cross-Assembler **ZASM-80** ed al Tools di Remote Simbolico Debugger, **RSD**.
Il programma viene fornito su dischetto MS-DOS e con il relativo manuale tecnico.

HCT 80

Cross Compilatore C professionale della Hi-Tech Software. Questo compilatore è estremamente veloce e genera pochissimo codice. Questo risultato è ottenuto grazie a delle avanzate tecniche di ottimizzazione del codice generato, basato su tecniche di Intelligenza Artificiale che gli consentono di ottenere un codice compatto ed estremamente veloce. Il pacchetto comprende IDE, Compiler, Ottimizzatore del codice, Assembler, Linker, Remote debugger, ecc. Questo tools è Full ANSI/ ISO Standard C ed è Full Library Source Code. Una volta fatto il porting del modulo di Remote-Debugger, consente di debuggare il software direttamente nell'hardware in sperimentazione. Questo tipo di specializzazione del **Remote-Debugger** è già disponibile, e viene fornito, per tutte le schede di CPU della **grifo**®. Il pacchetto software viene fornito su dischetti da 3"1/2 nel formato MS-DOS, completo di un esauriente manuale.
Questa versione supporta le CPU Z80, Z180, 84C011, 84C11, 84C013, 80C13, 80C015, 84C15, 64180, NCS800, Z181, Z182.

DDS C

E' un comodo pacchetto software, a basso costo, che tramite un completo I.D.E. permette di utilizzare un editor, un compilatore "C" (integer), un assemblatore, un linker e un remote debugger abbinato ad un monitor. Sono inclusi i sorgenti delle librerie, una serie di utility ed una ricca documentazione su dischetto da 3"1/2 nel formato MS-DOS.

INTRODUZIONE

In questo capitolo ci occuperemo di fornire tutte le informazioni relative all'utilizzo della scheda, dal punto di vista della programmazione via software. Tra queste si trovano le informazioni riguardanti il mappaggio della scheda e la gestione software delle sezioni componenti.

MAPPAGGIO DELLE RISORSE DI BORDO

La gestione delle risorse della scheda è affidata ad una logica di controllo completamente realizzata con logiche programmabili. Essa si occupa del mappaggio delle zone di RAM ed EPROM e di tutte le periferiche di bordo.
La logica di controllo è realizzata in modo da gestire separatamente il mappaggio delle memorie di bordo ed il mappaggio delle periferiche viste in Input/Output. Complessivamente la CPU 84C15 indirizza direttamente 64K Byte di memoria e 256 indirizzi di I/O, quindi alla logica di controllo è assegnato il compito di allocare lo spazio logico d'indirizzamento delle memorie nello spazio fisico massimo di 1032K Byte. Questa gestione è effettuata via software tramite la programmazione della circuiteria di MMU con cui si può definire quali memorie utilizzare con una suddivisione in pagine da 32K Byte. Per quanto riguarda il mappaggio dell'I/O si deve invece ricordare che la logica di controllo provvede naturalmente a non utilizzare le locazioni riservate per le periferiche interne della CPU, in modo da evitare ogni problema di conflittualità.
Riassumendo i dispositivi mappati sulla scheda sono essenzialmente:

- **ABACO®** I/O BUS
- Fino a 512K Byte di EPROM o FLASH EPROM su IC 3
- Fino a 512K Byte di RAM su IC 6
- Fino a 8K Byte di EEPROM seriale, su IC 8
- SIO
- CTC
- PIO
- Circuiteria di Memory Management Unit

Questi occupano gli indirizzi riportati nei paragrafi seguenti e non possono essere riallocati in nessun altro indirizzo. In caso di specifiche esigenze in termini di mappaggio, contattare direttamente la **grifo®**.

MAPPAGGIO I/O

Il mappaggio delle periferiche di bordo allocate nello spazio di I/O, è gestito dalla logica di controllo della scheda che provvede ad indirizzare tali dispositivi all'interno dello spazio di I/O del microprocessore, che ha una dimensione di 256 indirizzi. Viene di seguito riportato l'indirizzamento delle periferiche di bordo, comprese quelle interne alla CPU. Per maggior chiarezza si riportano i nomi dei registri, i loro indirizzi, il tipo di accesso ed una breve descrizione del loro significato:

DISP.	REG.	IND.	R/W	SIGNIFICATO
CTC	CTC0	10H	R/W	Registro stato dati del canale 0
	CTC1	11H	R/W	Registro stato dati del canale 1
	CTC2	12H	R/W	Registro stato dati del canale 2
	CTC3	13H	R/W	Registro stato dati del canale 3
SIO	RDA	18H	R/W	Registro dati della linea seriale A
	RSA	19H	R/W	Registro di stato della linea seriale A
	RDB	1AH	R/W	Registro dati della linea seriale B
	RSB	1BH	R/W	Registro di stato della linea seriale B
PIO	PAD	1CH	R/W	Registro dati del port A
	PAS	1DH	W	Registro di controllo del port A
	PBD	1EH	R/W	Registro dati del port B
	PBS	1FH	W	Registro di controllo del port B

FIGURA 22: TABELLA INDIRIZZAMENTO I/O - PARTE 1

Per quanto riguarda la descrizione del significato dei registri qui sopra riportati, si faccia riferimento al capitolo successivo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO".

DISP.	REG.	IND.	R/W	SIGNIFICATO
Real	SEC1	20H	R/W	Registro dati per unità secondi
Time	SEC10	21H	R/W	Registro dati per decine secondi
Clock	MIN1	22H	R/W	Registro dati per unità minuti
	MIN10	23H	R/W	Registro dati per decine minuti
	HOU1	24H	R/W	Registro dati per unità ore
	HOU10	25H	R/W	Registro dati per decine ore e AM/PM
	DAY1	26H	R/W	Registro dati per unità giorno
	DAY10	27H	R/W	Registro dati per decine giorno
	MON1	28H	R/W	Registro dati per unità mese
	MON10	29H	R/W	Registro dati per decine mese
	YEA1	2AH	R/W	Registro dati per unità anno
	YEA10	2BH	R/W	Registro dati per decine anno
	WEE	2CH	R/W	Registro dati per giorno della settimana
	REGD	2DH	R/W	Registro di controllo D
	REGE	2EH	R/W	Registro di controllo E
	REGF	2FH	R/W	Registro di controllo F
		30H÷3FH	R/W	Registri ripetuti in sequenza come sopra
M.M.U.	MEM	40H÷5FH	W	Registro di settaggio circuiteria MMU
ABACO® I/O BUS	I/O BUS	60H÷DFH	R/W	Indirizzi ABACO® I/O BUS
REG.	SCRP	EEH	R/W	Registro di indirizzamento registri interni al microprocessore
INTERNI	SCDP	EFH	R/W	Registro dati per i registri interni al microprocessore
W.D.	WDTMR	F0H	R/W	Registro programmazione watch dog interno
INTERNO	WDTCR	F1H	W	Registro di accesso watch dog interno
INTER.	INTPR	F4H	W	Registro di settaggio priorità interrupt

FIGURA 23: TABELLA INDIRIZZAMENTO I/O - PARTE 2

MAPPAGGIO MEMORIE

Sulla scheda i 1032K Byte di memoria che possono essere montati sono così allocati:
Fino a 512K Byte di EPROM o 512K Byte di FLASH EPROM allocati nello spazio di memoria
Fino a 512K Byte di RAM allocati nello spazio di memoria
Fino a 8K Byte di EEPROM seriale allocati nello spazio di I/O
La **GPC® 154** può indirizzare direttamente un massimo di 64K Byte di memoria che coincide con lo spazio d'indirizzamento logico del microprocessore. Questa capacità di memoria è stata suddivisa in due pagine da 32K Byte cadauna: sulla prima può essere allocata sia RAM che EPROM, mentre sulla seconda solo RAM. La circuiteria di MMU si occupa tramite una semplice gestione software, di dividere lo spazio dei dispositivi fisici allocati in memoria, sempre in pagine da 32K Byte e di allocarle nello spazio direttamente indirizzato dalla CPU. Programmando la circuiteria di MMU tramite l'apposito registro MEM, è quindi possibile indirizzare indirettamente, un'area notevolmente superiore a quella supportata direttamente dal microprocessore. Vengono di seguito riportate due figure che illustrano le possibili configurazioni dei dispositivi allocati nello spazio di memoria, per maggiori informazioni fare riferimento al paragrafo "MEMORY MANAGEMENT UNIT", mentre per una facile individuazione dei dispositivi di memoria fare riferimento alla figura 15.
Alcuni pacchetti software, come il **GDOS**, si occupano autonomamente della gestione della circuiteria di MMU per allocare tutta la memoria fisicamente presente a bordo scheda nello spazio d'indirizzamento del microprocessore, senza interessare direttamente l'utente.

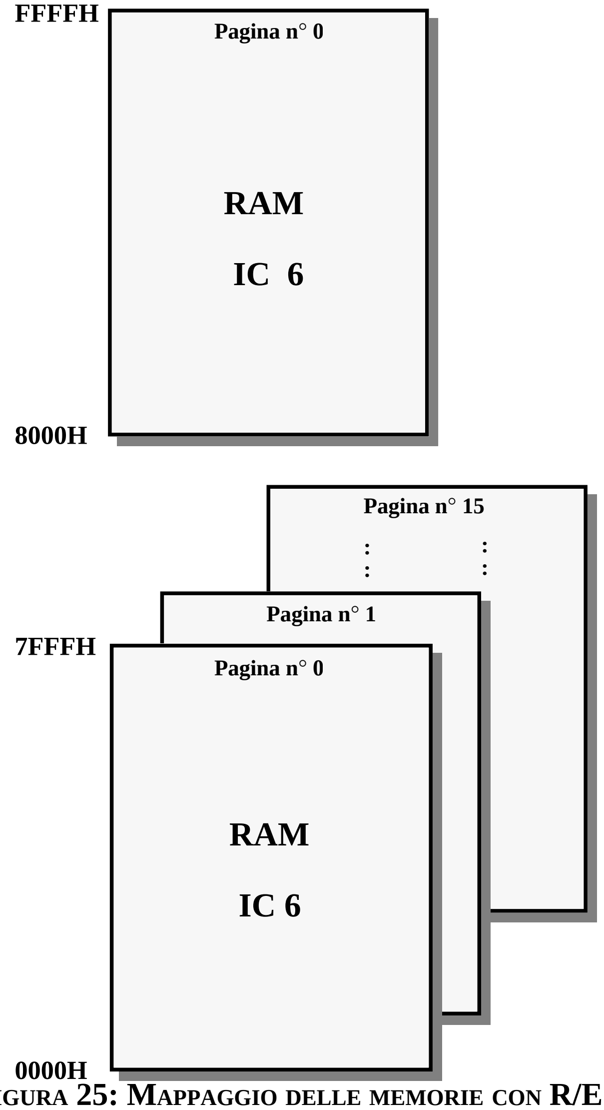


FIGURA 25: MAPPAGGIO DELLE MEMORIE CON R/E=0

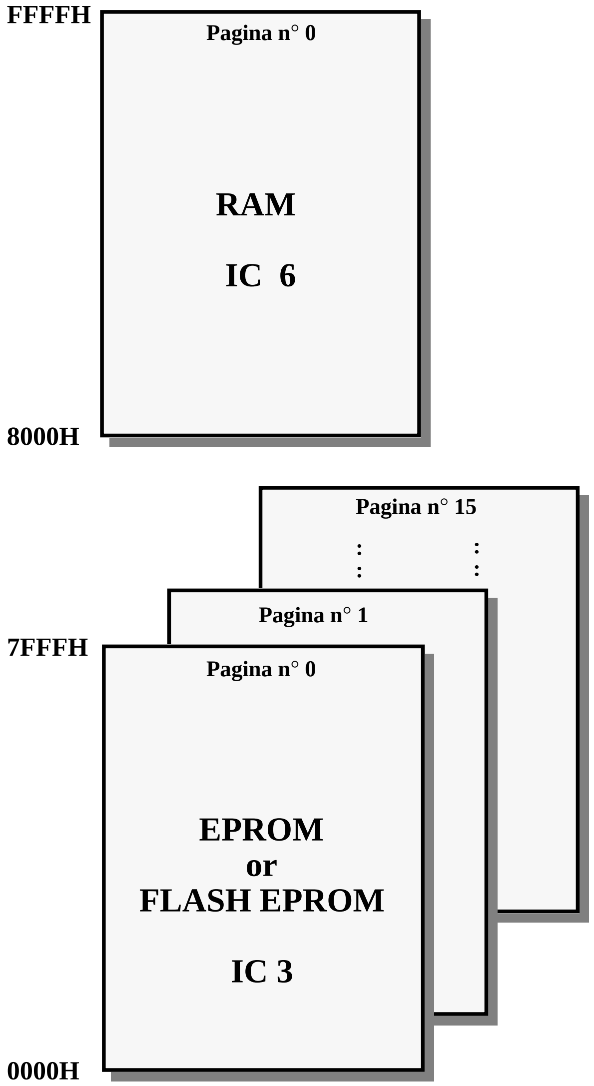


FIGURA 26: MAPPAGGIO DELLE MEMORIE CON R/E=1

All'atto del power on o del reset, il segnale R/E è settato a 0, quindi la scheda parte con l'esecuzione del codice posto all'indirizzo logico 0000H della pagina 0 di EPROM di IC 3.

MAPPAGGIO ABACO® I/O BUS

La logica di controllo della **GPC® 154** provvede anche alla gestione dell'**ABACO® I/O BUS**, definendo gli indirizzi in cui tale BUS viene allocato. In particolare,come si può notare dalla tabella indirizzamento I/O, tale BUS è indirizzato in corrispondenza degli inirizzi 60H÷DFH
Un accesso in I/O in un qualsiasi indirizzo compreso in questi range abilta il segnale /IORQ e tutti gli altri segnali di controllo di CN1.

Nel paragrafo precedente sono stati riportati gli indirizzi di allocazione di tutte le periferiche e di seguito viene riportata una descrizione dettagliata della funzione e del significato dei relativi registri (al fine di comprendere le successive informazioni, fare sempre riferimento alle due tabelle di indirizzamento I/O). Qualora la documentazione riportata fosse insufficiente fare riferimento direttamente alla documentazione tecnica della casa costruttrice del componente. In questo paragrafo inoltre non vengono descritte le sezioni che fanno parte del microprocessore; per quanto riguarda la programmazione di quest'ultime si faccia riferimento all'appendice B di questo manuale. Nei paragrafi successivi si usano le indicazioni D0÷D7 per fare riferimento ai bits della combinazione utilizzata nelle operazioni di I/O.

MEMORY MANAGEMENT UNIT

L'allocazione dello spazio d'indirizzamento fisico delle memorie che possono essere montate sulla **GPC® 154** all'interno dello spazio d'indirizzamento logico del microprocessore, è affidato ad una efficiente circuiteria di MMU. Tale sezione viene programmata tramite l'apposito registro MEM allocato nello spazio di I/O. Il significato di tale registro è riportato di seguito:

MEM: I bits di tale registro hanno il seguente significato

D7	->	non usato
D6	->	non usato
D5	->	R/E: selettore RAM (D5=1) o EPROM/FLASH EPROM (D5=0), nella pagina bassa (0000H÷7FFFH) dello spazio d'indirizzamento della CPU
D4	->	A18 x IC 3 ed /A18 x IC 6
D3	->	A17 x IC 3 ed /A17 x IC 6
D2	->	A16 x IC 3 ed /A16 x IC 6
D1	->	A15 x IC 3
D0	->	/A15 x IC 6

Dove quindi solo i bits D0÷D5 definiscono la pagina di RAM di IC 6 od EPROM/FLASH EPROM di IC 3 che deve essere indirizzata.

All'atto del power on o del reset il registro MEM è azzerato (tutti i bits a 0); questo equivale ad una programmazione della sezione di MMU in cui i primi 32K indirizzati dalla CPU coincidono con la pagina 0 di EPROM/FLASH EPROM di IC 3 ed i secondi 32K coincidono con la pagina 0 di RAM di IC 6.
Facendo riferimento alle figure 25 e 26 di mappaggio delle memorie, viene di seguito riportata una tabella che descrive tutte le possibili configurazioni della sezione MMU:

PAGINA 32K LOW	PAGINA 32K HIGH	REGISTRO MEM
0: IC 3	0: IC 6	XX000000B = 00H
1: IC 3	0: IC 6	XX000010B = 02H
2: IC 3	0: IC 6	XX000100B = 04H
3: IC 3	0: IC 6	XX000110B = 06H
4: IC 3	0: IC 6	XX001000B = 08H
5: IC 3	0: IC 6	XX001010B = 0AH
6: IC 3	0: IC 6	XX001100B = 0CH
7: IC 3	0: IC 6	XX001110B = 0EH
8: IC 3	0: IC 6	XX010000B = 10H
9: IC 3	0: IC 6	XX010010B = 12H
10: IC 3	0: IC 6	XX010100B = 14H
11: IC 3	0: IC 6	XX010110B = 16H
12: IC 3	0: IC 6	XX011000B = 18H
13: IC 3	0: IC 6	XX011010B = 1AH
14: IC 3	0: IC 6	XX011100B = 1CH
15: IC 3	0: IC 6	XX011110B = 1EH
0: IC 6	0: IC 6	XX1111X1B = 3DH
1: IC 6	0:IC 6	XX1111X0B = 3CH
2: IC 6	0:IC 6	XX1110X1B = 39H
3: IC 6	0:IC 6	XX1110X0B = 38H
4: IC 6	0:IC 6	XX1101X1B = 35H
5: IC 6	0:IC 6	XX1101X0B = 34H
6: IC 6	0:IC 6	XX1100X1B = 31H
7: IC 6	0:IC 6	XX1100X0B = 30H
8: IC 6	0:IC 6	XX1011X1B = 2DH
9: IC 6	0:IC 6	XX1011X0B = 2CH
10: IC 6	0:IC 6	XX1010X1B = 29H
11: IC 6	0:IC 6	XX1010X0B = 28H
12: IC 6	0:IC 6	XX1001X1B = 25H
13: IC 6	0:IC 6	XX1001X0B = 24H
14: IC 6	0:IC 6	XX1000X1B = 21H
15: IC 6	0:IC 6	XX1000X0B = 20H

FIGURA 27: TABELLA POSSIBILI PROGRAMMAZIONI SEZIONE DI MMU

La X indica che lo stato del bit è indifferente per il settaggio che si deve realizzare e può quindi assumere sia lo stato di 0 che di 1, a seconda delle esigenze della circuiteria che gestisce.

BAUD RATE GENERATOR

La sezione di generazione delle frequenze utilizzate dal SIO per la comunicazione seriale della scheda è in grado di generare due baud rate completamente separati variabili da un minimo di 150 Baud ad un massimo di 38,4K Baud con sette valori intermedi che corrispondono ai baud rates standard. La **GPC® 154** consente di settare queste velocità di comunicazione tramite semplici operazioni di output agli indirizzi di allocazione dei registri CTC2 e CTC3. Infatti i timer counter 2 ed 3 della sezione CTC del microprocessore sono utilizzati rispettivamente come baud rate generator delle linee seriali A e B.
Affinchè i canali del CTC operino come baud rate generator è necessario programmarli opportunamente come di seguito descritto:

- Fornire un comando di reset di canale = operazione di output sul registro CTCn con il dato 03H.
- Fornire una parola di controllo canale che: disabiliti l'interrupt, selezioni il timer mode, setti un prescaler di 16, scelga un fronte di discesa, attivi il trigger automatico e carichi una costante di tempo = operazione di output sul registro CTCn con il dato 05H.
- Caricare una costante di tempo relativa al baud rate utilizzato = operazione di output sul registro CTCn con il dato prelevato dalla seguente tabella a seconda del baud rate desiderato.

BAUD RATE	VALORE COSTANTE DI TEMPO
150 Baud	00H
300 Baud	80H
600 Baud	40H
1200 Baud	20H
2400 Baud	10H
4800 Baud	08H
9600 Baud	04H
19200 Baud	02H
38400 Baud	01H

FIGURA 28: TABELLA VALORI PER PROGRAMMAZIONE BAUD RATE

Tutti i canali del CTC sono disattivati a seguito di una fase di reset o power on, di conseguenza entrambe le sezioni di baud rate generator in queste condizioni, sono a loro volta disattive.
Per maggiori informazioni relative alla programmazione dei canali CTC, fare riferimento all'apposita documentazione tecnica dell'appendice B

SIO

Fare riferimento all'apposita documentazione tecnica dell'appendice B.

PIO

Fare riferimento all'apposita documentazione tecnica dell'appendice B.

CTC

Fare riferimento all'apposita documentazione tecnica dell'appendice B.

WATCH DOG INTERNO

Fare riferimento all'apposita documentazione tecnica dell'appendice B.

EEPROM SERIALE

Per quanto riguarda la gestione del modulo di EEPROM seriale di IC 8, si faccia riferimento alla documentazione del pacchetto software che viene utilizzato per la programmazione della scheda. In questo manuale tecnico non viene riportata alcuna informazione in quanto la circuiteria di gestione è articolata e prevede una conoscenza approfondita sia della scheda che del componente. Per questo la sua gestione in termini di lettura e scrittura di dati, è affrontabile ad alto livello, utilizzando apposite procedure del pacchetto software in uso.

REAL TIME CLOCK

Questa periferica è vista in 16 locazioni di I/O consecutive di cui 3 di stato e le rimanenti 13 per i dati. I registri dati sono utilizzati sia per operazioni di lettura (dell'orario attuale) che di scrittura (per l'inizializzazione dell'orologio) così come i registri di stato i quali sono utilizzati in scrittura (per la programmazione del modo di funzionamento dell'orologio) ed in lettura (per determinare lo stato dell'orologio). Per quanto riguarda il significato dei registri dati vale la corrispondenza:

SEC1	- Unita' dei secondi	- 4 bit meno significativi:	SEC1.3÷SEC.0
SEC10	- Decine dei secondi	- 3 bit meno significativi:	SEC10.2÷SEC10.0
MIN1	- Unita' dei minuti	- 4 bit meno significativi:	MIN1.3÷MIN1.0
MIN10	- Decine dei minuti	- 3 bit meno significativi:	MIN10.2÷MIN10.0
HOU1	- Unita' delle ore	- 4 bit meno significativi:	HOU1.3÷HOU1.0
HOU10	- Decine delle ore	- 2 bit meno significativi:	HOU10.1÷HOU10.0
		Il terzo bit di tale registro, H10.2, indica l'AM/PM	
DAY1	- Unita' del giorno	- 4 bit meno significativi:	DAY1.3÷DAY1.0
DAY10	- Decine del giorno	- 2 bit meno significativi:	DAY10.1÷DAY10.0
MON1	- Unita' del mese	- 4 bit meno significativi:	MON1.3÷MON1.0
MON10	- Decine del mese	- 1 bit meno significativo:	MON10.0
YEA1	- Unita' dell' anno	- 4 bit meno significativi:	YEA1.3÷YEA1.0
YEA10	- Decine dell' anno	- 4 bit meno significativi:	YEA10.3÷YEA10.0
WEE	- Giorno della settimana	- 3 bit meno significativi:	WEE.2÷WEE.0

Per quest' ultimo registro vale la corrispondenza:

WEE.2	WEE.1	WEE.0	Giorno della settimana
0	0	0	Domenica
0	0	1	Lunedi'
0	1	0	Martedi'
0	1	1	Mercoledi'

1	0	0	Giovedi'
1	0	1	Venerdi'
1	1	0	Sabato

I tre registri di controllo sono invece utilizzati come segue:

bit 7 6 5 4 3 2 1 0
REG D = NU NU NU NU 30S IF B H
dove:
NU = Non usato
30S = Se attivo (1) permette di effettuare una correzione di 30 secondi dell’orario. Una volta settato i secondi del RTC vengono azzerati ed i minuti incrementati se il precedente valore dei secondi era superiore o uguale a 30.
IF = Gestisce lo stato d'interrupt del RTC. In lettura riporta lo stato attuale d'interrupt (1=attivo e viceversa), mentre se resettato con una scrittura determina la fine interrupt, quando il RTC lavora in interrupt mode.
B = Indica se possono essere effettuate operazioni di lettura/scrittura dei registri: 1 -> operazioni impossibili e viceversa.
H = Se attivo (1) effettua la memorizzazione dell’orario fissato.

bit 7 6 5 4 3 2 1 0
REG E = NU NU NU NU T1 T0 I M
dove:
NU = Non usato.
T1 T0 = Determinano la durata del periodo di interrupt
0 0 -> 1/64 secondo
0 1 -> 1 secondo
1 0 -> 1 minuto
1 1 -> 1 ora
I = Determina modalità di gestione interrupt: se settato seleziona l'interrupt mode in cui l'interrupt si attiva allo scadere del periodo programmato e si disattiva con un reset del bit IF del registro D; se resettato seleziona lo standard mode in cui l'interrupt si attiva allo scadere del periodo programmato e si disattiva autonomamente dopo 7,8 msec.
M = Maschera lo stato dell'interrupt:
1 -> interrupt mascherato: il segnale di interrupt dell'RTC è sempre disabilitato;
0 -> interrupt non mascherato: il segnale di interrupt dell'RTC riflette sempre lo stato dell'interrupt.

bit 7 6 5 4 3 2 1 0
REG F = NU NU NU NU T 24/12 S R
dove:
NU = Non usato.
T = Stabilisce da quale contatore interno prelevare il segnale di conteggio: 1 -> contatore principale (conteggio veloce per test); 0 -> 15° contatore (conteggio normale).
24/12 = Stabilisce il modo di conteggio delle ore: 1 -> 0÷23; 0 -> 0÷11 con AM/PM.
S = Se settato provoca l’arresto dell’avanzamento dell’orologio fino alla sucessiva abilitazione.
R = Se settato (1) provoca il reset di tutti i contatori interni.

SCHEDE ESTERNE

La scheda **GPC® 154** si interfaccia a buona parte dei moduli della serie BLOCK e di interfaccia utente. Le risorse di bordo possono essere facilmente aumentate collegando la **GPC® 154** alle numerose schede periferiche del carteggio **grifo®** tramite l'**ABACO®** I/O BUS. Anche schede in formato Europa con BUS **ABACO®** possono essere collegate, sfruttando gli appositi mother boards. A titolo di esempio ne riportiamo un elenco con una breve descrizione delle carratteristiche di massima; per maggiori informazioni richiedere la documentazione specifica:

KDL X24 - KDF 224

Keyboard Display LCD 2,4 righe 24 tasti - Keyboard Display Fluorescent 2 righe 24 tasti
Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO®** a 20 vie e tastiera a matrice esterna da 24 tasti; display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs. Predisposizione per collegamento a tastiera telefonica.

QTP 24P

Quick Terminal Panel 24 tasti con interfaccia Parallela
Interfaccia operatore provvista di display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs; tastiera a membrana da 24 tasti di cui 12 configurabili dall'utente; 16 LEDs di stato; alimentatore a bordo scheda in grado di pilotare anche carichi esterni; interdaccia parallela basata su 16 I/O TTL di un connettore normalizzato I/O **ABACO®** a 20 vie. Tasti ed etichette personalizzabili tramite serigrafie da inserire in apposite tasche; opzione di contenitore metallico.

QTP G28

Quick Terminal Panel 28 tasti con LCD grafico
Interfaccia operatore provvista di display LCD grafico da 240x128 pixel retroilluminato con lampada a catodo freddo; tastiera a membrana da 28 tasti di cui 6 configurabili dall'utente; 16 LEDs di stato; alimentatore a bordo scheda; interdaccia seriale in RS 232, RS 422-485 o current loop; linea seriale ausiliaria in RS 232. Tasti ed etichette personalizzabili dall'utente tramite serigrafie da inserire in apposite tasche; contenitore metallico e plastico; EEPROM di set up; 256K EPROM o FLASH; Real Time Clock; 128K RAM; buzzer. Firmware di gestione che svolge funzione di terminale con primitive grafiche.

RBO 08 - RBO 16

Relè BLOCK Output
Interfaccia per connettore normalizzato I/O **ABACO®** a 20 vie; 8 o 16 output visualizzati con relè da 3 A con MOV; connettore a morsettiera; attacco rapido per guide DIN 46277-1 e 3.

MCI 64

Memory Cards Interfaces 64 MBytes
Interfaccia per la gestione di Memory cards PCMCIA a 68 pins tramite un connettore normalizzato I/O **ABACO®**; sono disponibili driver per linguaggi ad alto livello.

ABB 05

Abaco® Block BUS 5 slots
Mother board **ABACO®** da 5 slots; passo 4 TE; guidaschede; connettori normalizzati di alimentazione; tasto di reset; LEDs per alimentazioni; interfaccia **ABACO®** I/O BUS; sezione alimentatrice per +5 Vdc; sezione alimentatrice per +V Opto; sezioni alimentatrici galvanicamente isolate; tre tipi di alimentazione: da rete, bassa tensione o stabilizzata. Attacco rapido per guide Ω.

ZBT xxx

Zipped BLOCK Transistors xx Input + xx Output

Periferica per xy Input optoisolati e visualizzati tipo NPN; yz darlinghton da 3A con diodo di ricircolo; connettori a morsettiera per ingressi optoisolati e uscite; connettore normalizzato **ABACO®** I/O BUS; 61 LEDs di visualizzazione; sezione alimentatrice a bordo; attacco rapido per guide Ω. Le possibili configurazioni in termini di numero di I/O sono: xxx=324 con 32 In e 24 Out; xxx=246 con 24 In e 16 Out; xxx=168 con 16 In e 8 Out; xxx=84 con 8 In e 4 Out.

IBC 01

Interface Block Comunication

Scheda di conversioni per comunicazioni seriali. 2 linee RS 232; 1 linea RS 422-485; 1 linea in fibra ottica; interfaccia DTE/DCE selezionabile; attacco rapido per guide tipo DIN 46277-1 e 3.

ZBR xxx

Zipped BLOCK Relays xx Input + xx Output

Periferica per xx Input optoisolati e visualizzati tipo NPN; xx relè da 3A con MOV; connettori a morsettiera per ingressi optoisolati e uscite; connettore normalizzato **ABACO®** I/O BUS; LEDs di visualizzazione; sezione alimentatrice a bordo; attacco rapide per guide Ω. Le possibili configurazioni in termini di numero di I/O sono: xxx=324 con 32 In e 24 Out; xxx=246 con 24 In e 16 Out; xxx=168 con 16 In e 8 Out; xxx=84 con 8 In e 4 Out.

IAC 01

Interface Adapter Centronics

Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO®** a 20 vie e connettore a vaschetta D 25 vie femmina con pin out standard Centronics per la gestione di una stampante parallela.

OBI N8 - OBI P8

Opto BLOCK Input NPN-PNP

Interfaccia per 8 input optoisolati e visualizzati tipo NPN, PNP, connettore a morsettiera, connettore normalizzato I/O **ABACO®** a 20 vie; sezione alimentatrice; attacco rapido per guide DIN 46277-1 e 3.

TBO 01 - TBO 08

Transistor BLOCK Output

Interfaccia per 16 connettore normalizzato I/O **ABACO®** a 20 vie; 16 o 8 output a transistor in Open Collector da 45 Vcc 3 A su connettore a morsettiera. Uscite optoisolate e visualizzate; attacco rapido per guide DIN 6277-1 e 3.

FBC 20 - FBC 120

Flat Block Contact 20 vie

Interfaccia tra 2 o 1 connettori a perforazione di isolante (scatolino da 20 vie maschi) e la filatura da campo (morsettiere a rapida estrazione). Attacco rapido per guide tipo DIN 46277-1 e 3.

DEB 01

Didactis Experimental Board

Scheda di supportro per l'utilizzo di 16 linee di I/O TTL. Comprende: 16 tasti; 16 LED; 4 digits; tastiera a matrice da 16 tasti; interfaccia per stampante Centronics, dislay LCD, display Fluorescente, connettore I/O **GPC® 68**; collegamento con il campo.

IAL 42

Interface Adapter LCD

Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO®** e connettore a scatolino a 14 vie con pin out standard per la gestione di display fluorescenti LCD.

XBI 01

miXed BLOCK Input-Output

Interfaccia tra 8 input + 8 output TTL (connettore normalizzato I/O **ABACO®** a 20 vie), con 8 output a transistor in Open Collector da 45 Vcc 3 A + 8 input con filtro a Pi-Greco (connettore a morsettiera). I/O optoisolati e visualizzati; attacco rapido per guide DIN 46277-1 e 3.

XBI R4 - XBI T4

miXed BLOCK Input-Output

Interfaccia per connettore normalizzato I/O **ABACO®** a 20 vie; 4 relè da 3 A con MOV o 4 transistor open collectors da 3 A optoisolati; 4 linee di input optoisolate; linee di I/O visualizzate; connettore a morsettiera; attacco rapido per guide DIN tipo C e guide Ω.

ABB 03

Abaco® Block BUS 3 slots

Mother board **ABACO®** da 3 slots; passo 4 TE; guidaschede; connettori normalizzati di alimentazione; tasto di reset; LEDs per alimentazioni; interfaccia **ABACO®** I/O BUS. Attacco rapido per guide Ω.

ETI 324

Encoder Timer I/O for **Abaco®** I/O BUS

Tre timer counter pilotati da 82C54; ingresso encoder bidirezionale optoisolato; rilevatore di direzioe; moltiplicatore di fase; 24 linee digitali pilotate da 82C55 su due connettori standard I/O **Abaco®**; interfaccia **Abaco®** I/O BUS; montaggio diretto su guide DIN 247277-1 e 3.

CAN 14

Control Area Network, 1 channel, galvanically insulated

UART CAN SJA1000, 1 canale seriale galvanicamente isolato; interfaccia **Abaco®** I/O BUS; formato scheda serie 4; montaggio diretto su guide DIN 247277-1 e 3.

ADC 812

Analog to Digital Converter, 12 bits, multi-range

DAS (Data Acquisition System) multi-range con 8 canali di conversione A/D da 12 bit; Track-Hold; tempo di conversione 6μs; range ±10, ±5, +10, +5Vdc o 0÷20, 4÷20mA; interfaccia **Abaco®** I/O BUS; montaggio diretto su guide DIN 247277-1 e 3.

DAC 212

Digital to Analog Converter 12 bits, multi-range

Converter digitale-analogico multi-range 2 canali da 12 bits ± 10. uscita +10 Vdc; interfaccia **Abaco®** I/O BUS; montaggio diretto su guide DIN 247277-1 e 3.

UCC A2 - UBC B2

UART Communication Cards, 2 lines

2 linee indipendenti in RS 232, RS 422, RS 485 o Current Loop; Per ogni linea : buffer di 3 caratteri; Comunicazione asincrona da 50 a 115K baud; Parità, bit stop e data length sono programmabili via software; Disponibili per **ABACO®** Industrial BUS e **ABACO®** I/O BUS.

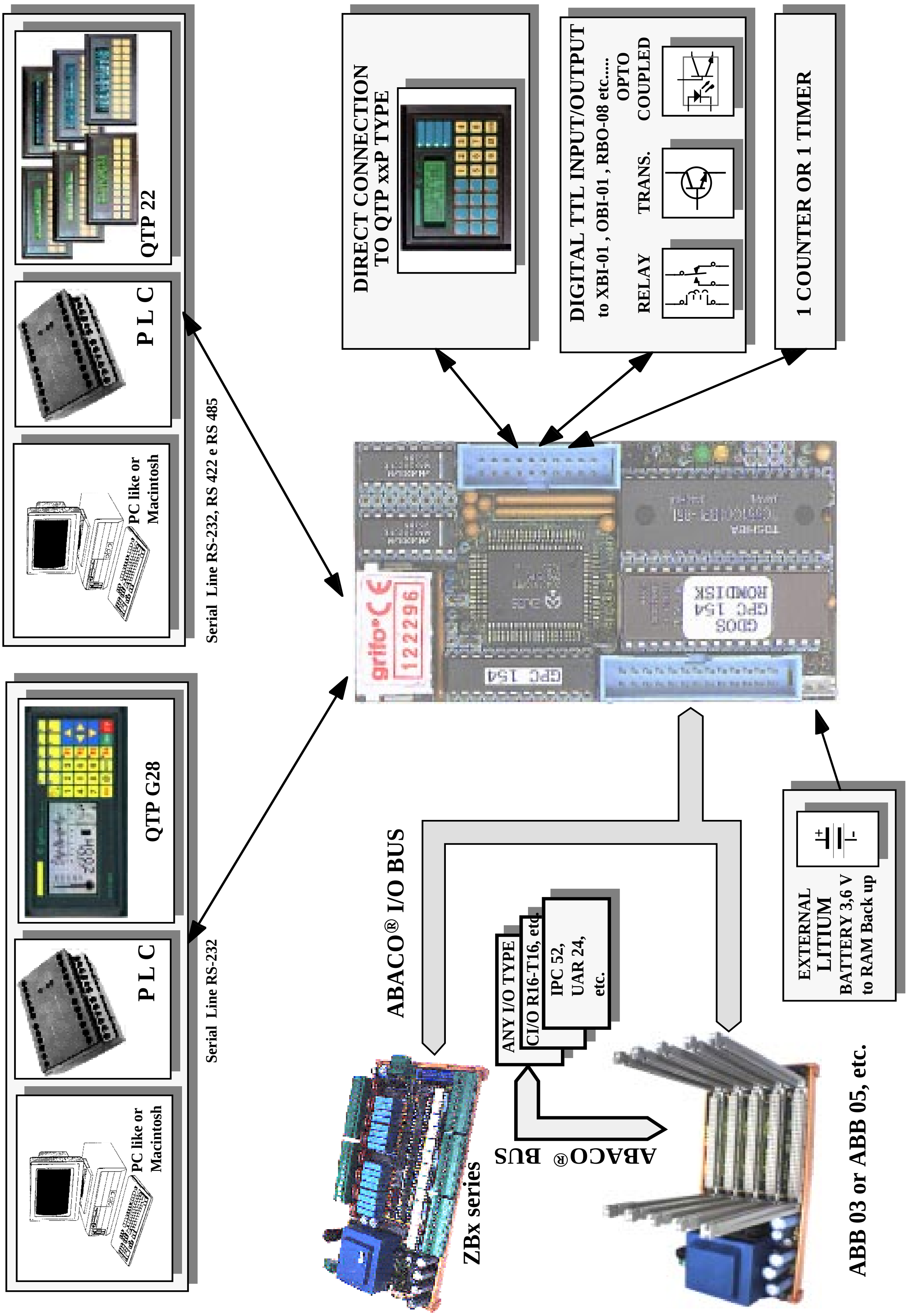


FIGURA 29: SCHEMA DELLE CONNESSIONI POSSIBILI

BIBLIOGRAFIA

E' riportato di seguito, un elenco di manuali e note tecniche, a cui l'utente può fare riferimento per avere maggiori chiarimenti, sui vari componenti montati a bordo della scheda **GPC® 154**.

Manuale TEXAS INSTRUMENTS: *The TTL Data Book - SN54/74 Families*
Manuale TEXAS INSTRUMENTS: *RS-422 and RS-485 Interface Circuits*

Manuale NEC: *Memory Products*

Manuale SGS-THOMSON: *Programmable logic manual - GAL products*

Manuale MAXIM: *New Releases Data Book - Volume V*

Manuale XICOR: *Data Book*

Manuale ZILOG: *Z80 Microprocessor Family*

Documentazione SEIKO EPSON: *RTC-72421Real Time Clock module*

Manuale AMD: *Flash Memory Products*

Per avere tutti gli aggiornamenti di tali manuali e di tutti i data-sheet fare riferimento anche ai siti INTERNET delle case madri costruttrici.

APPENDICE A: DISPOSIZIONE JUMPERS E DRIVERS

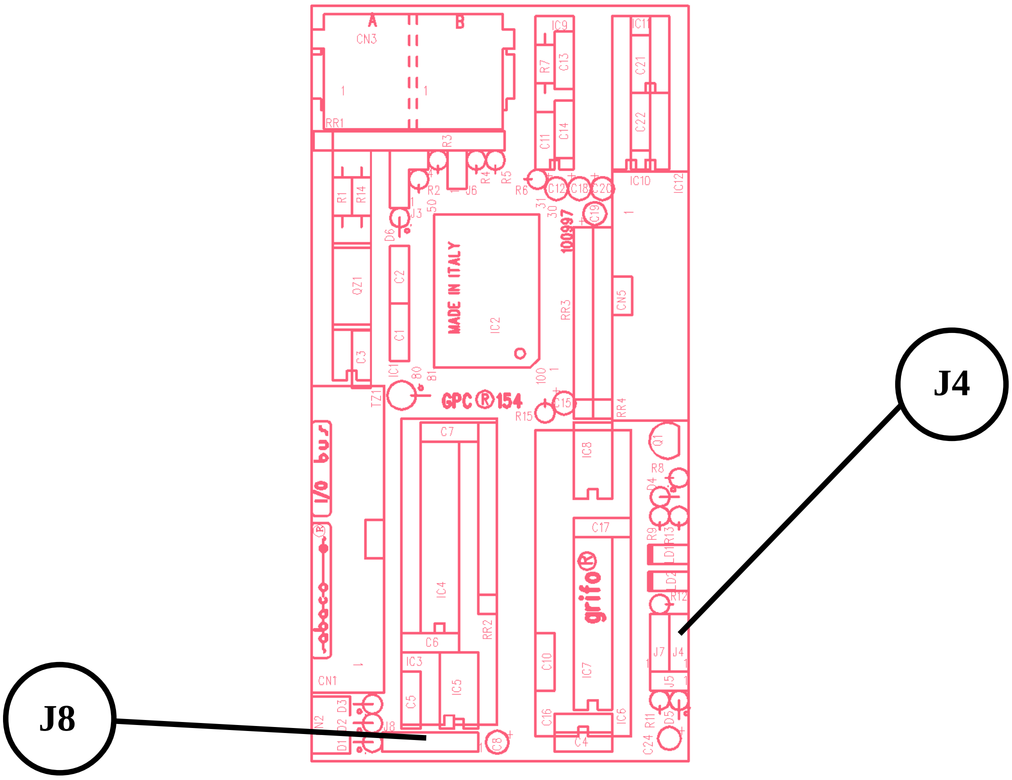


FIGURA A1: DISPOSIZIONE JUMPERS PER MEMORIE

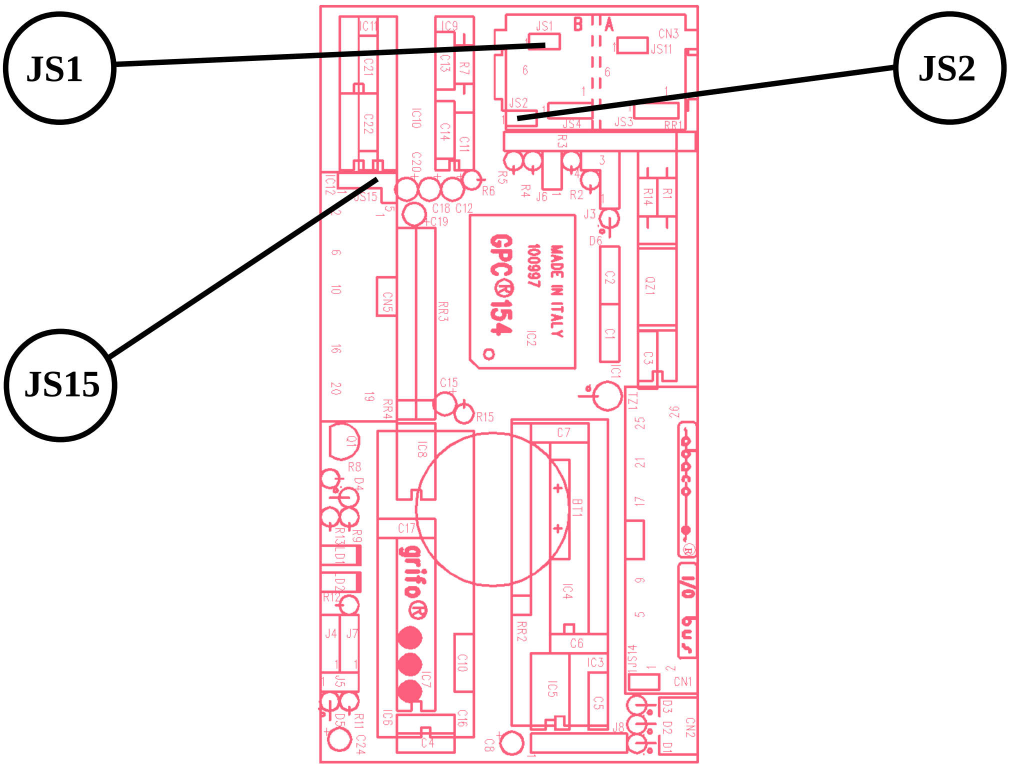
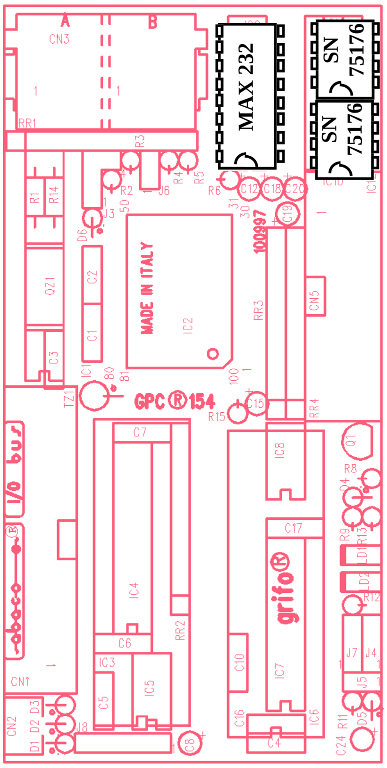
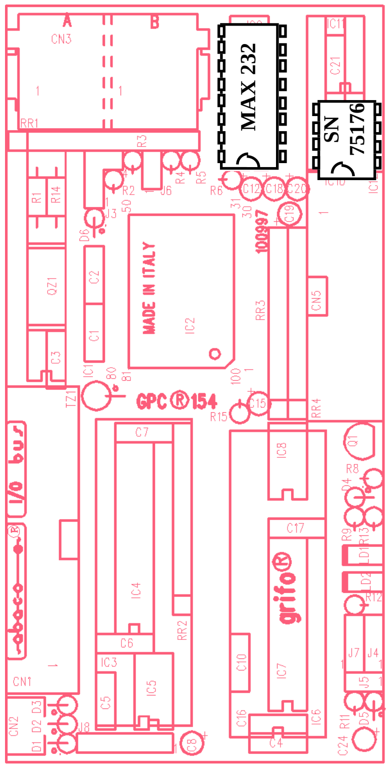


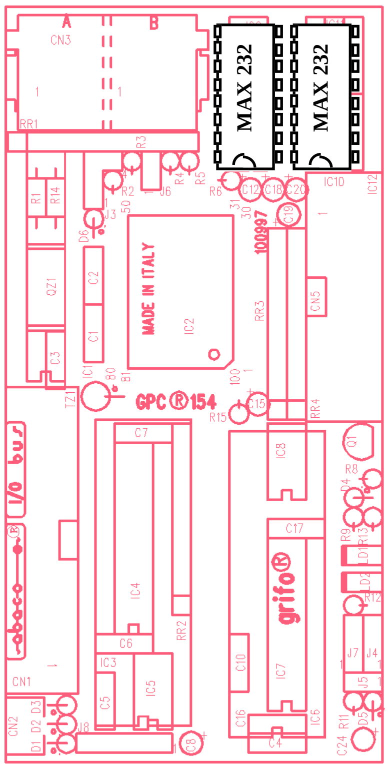
FIGURA A2: DISPOSIZIONE JUMPERS PER COMUNICAZIONE SERIALE



Seriale A = RS 232
Seriale B = RS 422



Seriale A = RS 232
Seriale B = RS 485



Seriale A = RS 232
Seriale B = RS 232

FIGURA A3: DISPOSIZIONE DRIVER PER COMUNICAZIONE SERIALE

ZiLOG

PRODUCT SPECIFICATION

Z84013/015
Z84C13/Z84C15
IPC INTELLIGENT PERIPHERAL CONTROLLER

FEATURES

- Z84C00 Z80 CPU with Z84C30 CTC, Z84C4X SIO, CGC, Watch Dog Timer(WDT). In addition, Z84C15 and Z84015 have Z84C20 PIO.
- High speed operation 6, 10 MHz
- 16 MHz operation for Z84C15 only.
- Low power consumption in four operation modes:
  41 mA Typ. (Run mode)
  6 mA Typ. (Idle1 mode)
  60 µA Typ. (Idle2 mode)
  0.5 µA Typ. (Stop mode)
- Wide operational voltage range (5V ± 10%).
- TTL/CMOS compatible.
- Z84013 features:
  - Z84C00 Z80 CPU
  - On-chip two channel SIO (Z80 SIO).
  - On-chip four channel Counter Timer Controller (Z80 CTC).
  - Built-in Clock Generator Controller (CGC).
  - Built-in Watch Dog Timer (WDT).
  - Noise filter to CLK/TRG inputs of the CTC.
  - 84-pin PLCC package.

Z84015 features:

- - All Z84013 features, plus on-chip two 8-bit ports (Z80 PIO) and 100-pin QFP package.

Z84C13/Z84C15 enhancements to Z84013/Z84015:

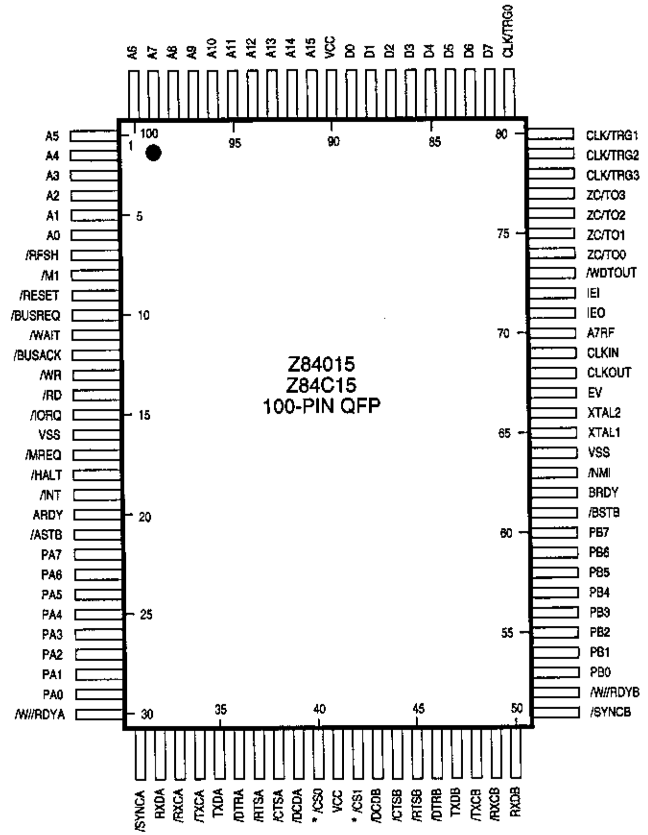
- - Power-on reset.
  - Addition of two chip select pins.
  - 32-bit CRC for Channel A of SIO.
  - Wait state generator.
  - Simplified EV mode selection.
  - Schmitt-trigger inputs to transmit and receive clocks of the SIO.
  - Crystal divide-by-one mode.
  - 100-pin VQFP (Z84C15 only)

2

GENERAL DESCRIPTION

The Intelligent Peripheral Controller (IPC) is a series of highly superintegrated devices with four versions. The Z84C13 and the Z84C15 are upward compatible versions of the Z84013 and the Z84015. The Z84015 is a CMOS 8-bit microprocessor integrated with the CTC, SIO, CGC, WDT and the PIO into a single 100-pin Quad Flat Pack(QFP) package. The Z84013 is the Z84015 without PIO, and is housed in a 84-pin PLCC package. The Z84C13 is the Z84013 with enhancements and the Z84C15 is the Z84015 with enhancements. These high-end superintegrated intelligent peripheral controllers are targeted for a broad range of applications ranging from error correcting modems to enhancement/cost reductions of existing hardware using Z80-based discrete peripherals. Figures 1 and 2 show the difference between the Z84013/015 and the Z84C13/Z84C15.

Hereinafter, use the word IPC on the description covering all versions (Z84C13/Z84C15 and Z84013/Z84015). Use Z84C13/C15 on the description that applies only to the Z84C13 and Z84C15, and use Z84013/015 on the description that applies only to the Z84013 and Z84015.



* ICT for the Z84015

Figure 4. Z84015/Z84C15 Pin-out Assignments

PIN DEFINITIONS

The pin assignment for each device is shown in Figures 3 and 4. Following is the description on each pin. For the description and the pin number, if stated as "x13" or "x15", that applies to both Z84C13/Z84013 or Z84C15/Z84015. Otherwise, C13 for Z84C13, C15 for Z84C15, 013 for Z84013 and 015 for Z84015.

CPU SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
A0-A15	16-1(x13), 6-1, 100-91(x15)	I/O	16-bit address bus. Specifies I/O and memory addresses to be accessed. During the refresh period, addresses for refreshing are output. The bus is an input when the external master is accessing the on-chip peripherals.
D0-D7	83-76(x13), 89-82(x15)	I/O	8-bit bidirectional data bus. When the on-chip CPU is accessing on-chip peripherals, these lines are set to output and hold the data to/from on-chip peripherals.
/RD	30(x13), 14(x15)	I/O	Read signal. CPU read signal for accepting data from memory or I/O devices. When an external master is accessing the on-chip peripherals, it is an input signal.
/WR	20(x13), 13(x15)	I/O	Write Signal. This signal is output when data, to be stored in a specified memory or peripheral LSI, is on the MPU data bus. When an external master is accessing the on-chip peripherals, it is an input signal.
/MREQ	23(x13), 17(x15)	I/O, 3-State	Memory request signal. When an effective address for memory access is on the address bus, "0" is output. When an external master is accessing the on-chip peripherals, it is an tri-state signal.
/IORQ	21(x13), 15(x15)	I/O	I/O request signal. When addresses for I/O are on the lower 8 bits (A7-A0) of the address bus in the I/O operation, "0" is output. In addition, the /IORQ signal is output with the /M1 signal at the time of interrupt acknowledge cycle to inform peripheral LSI of the state of the interrupt response vector is when put on the data bus. When an external master is accessing the on-chip peripherals, it is an input signal.
/M1	17(x13), 8(x15)	I/O	Machine cycle "1". /MREQ and "0" are output together in the operation code fetch cycle. /M1 is output for every opcode fetch when a two byte opcode is executed. In the maskable interrupt acknowledge cycle, this signal is output together with /IORQ. It is 3-stated in EV mode.

CPU SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
/RFSH	26(x13), 7(x15)	Out, 3-State	The refresh signal. When the dynamic memory refresh address is on the low order byte of the address bus, /RFSH is active along with /MREQ signal. This pin is 3-stated in EV mode.
/INT	25(x13), 19(x15)	Open drain	Maskable interrupt request signal. Interrupt is generated by peripheral LSI. This signal is accepted if the interrupt enable Flip-Flop (IFF) is set to "1". The /INT signal of on-chip peripherals is internally wired - OR without pull-up resistors and requires external pull-up. Also, interrupts from on-chip peripherals go out from this pin.
/NMI	56(x13), 63(x15)	In	Non-maskable interrupt request signal. This interrupt request has a higher priority than the maskable interrupt request and does not rely upon the state of the interrupt enable Flip-Flop (IFF).
/HALT	31(x13), 81(x15)	Out, 3-State	Halt signal. Indicates that the CPU has executed a HALT instruction. This signal is 3-stated in EV mode.
/BUSREQ	18(x13), 10(x15)	In	BUS request signal. /BUSREQ requests place-ment of the address bus, data bus, /MREQ, /IORQ, /RD and /WR signals into the high impedance state. /BUSREQ is normally wired-OR and a pull-up resistor is externally connected.
/BUSACK	29(x13), 12(x15)	Out (013/015), Out/3-State (C13/C15)	Bus Acknowledge signal. In response to /BUSREQ signal, /BUSACK informs a peripheral LSI that the address bus, data bus, /MREQ, /IORQ, /RD and /WR signals have been placed in the high impedance state.

Note: For the Z84013/015 the /BUSACK signal will not be 3-stated during EV mode. For the Z84C13/C15 the /BUSACK will be 3-stated during EV mode.

Pin Name	Pin Number	Input/Output, 3-State	Function
/WAIT	19(x13), 11(x15)	In(013/015), I/O(C13/C15)	Wait signal. /WAIT informs the CPU that specified memory or peripheral is not ready for data transfer. As long as /WAIT signal is active, MPU is continuously kept in the wait state.

Note: For the Z84C13/C15, the /WAIT pin becomes an output to bring out on-chip wait state generator during the EV mode.

CPU SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
A7RF	55(x13), 70(x15)	Out	1-bit auxiliary address bus. Output is the same as bit-7 (A7) of the address bus. However, during a refresh cycle, this pin outputs the address which is the most significant bit of the 8-bit refresh address signal linked to the low order 7 bits of the address bus.

CTC SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
CLK/TRG0 - CLK/TRG3	75-72(x13), 81-78(x15)	In	External clock/trigger input. These four CLK/TRG pins correspond to four Counter/Timer Channels. In the counter mode, each active edge will cause the downcounter to decrement by one. In timer mode, an active edge will start the timer. It is program selectable whether the active edge is rising or falling.
ZC/TO0 - ZC/TO3	68-71(x13), 74-77(x15)	Out	Zero count/timer out signal. In either timer or counter mode, pulses are output when the down-counter has reached zero.

SIO SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
/W//RDYA, /W//RDYB	32,54(x13), 30,52(x15)	Out	Wait/Ready signal A and Wait/Ready signal B. Used as /WAIT or /READY depending upon SIO programming. When programmed as /WAIT they go active at "0", alerting the CPU that addressed memory or I/O devices are not ready by requesting the CPU to wait. When programmed as /READY, they are active at "0" which determines when a peripheral device associated with a DMA port is for read/write data.
/SYNCA, /SYNCB	33,53(x13), 31,51(x15)	I/O	Synchronous signals.In asynchronous receive mode, they act as /CTS and /CDC. In external sync mode, these signals act as inputs. In internal sync mode, they act as outputs.
RxDA, RxDB	34,52(x13), 32,50(x15)	In	Serial receive data signal.

SIO SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
/RxCA, /RxCB	35,51(x13), 33,49(x15)	In	Receive clock signal. In the asynchronous mode, the receive clocks can be 1, 16, 32, or 64 times the data transfer rate.
/TxCA, /TxCB	36,50(x13), 34,48(x15)	In	Transmitter clock signal. In the asynchronous mode, the transmitter clocks can be 1, 16, 32, or 64 times the data transfer rate.
TxDA, TxDB	37,49(x13), 35,47(x15)	Out	Serial transmit data signal.
/DTRA, /DTRB	38,48(x13), 36,46(x15)	Out	Data terminal ready signal. When ready, these signals go active to enable the terminal transmitter. When not ready they go inactive to disable the transfer from the terminal.
/RTSA, /RTSB	39,47(x13), 37,45(x15)	Out	Request to send signal. "0" when transmitting serial data. They are active when enabling their receivers to transmit data.
/CTSA, /CTSB	40,46(x13), 38,44(x15)	In	Clear to send signal. When "0", after transmitting these signals the modem is ready to receive serial data. When ready, these signals go active to enable terminal transmitter. When not ready, these signals go inactive to disable transfer from the terminal.
/DCDA, /DCDB	41,45(x13), 39,43(x15)	In	Data carrier detect signal. When "0", serial data can be received. These signals are active to enable receivers to transmit.

SYSTEM CONTROL SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
IEI	60(x13), 72(x15)	In	Interrupt enable input signal. IEI is used with the IEO to form a priority daisy chain when there is more than one interrupt-driven peripheral.
IEO	59(x13), 71(x15)	Out	The interrupt enable output signal. In the daisy chain interrupt control, IEO controls the interrupt of external peripherals. IEO is active when IEI is "1" and the CPU is not servicing an interrupt from the on-chip peripherals.
/CS0 (C13/C15 only)	42(C13), 40(C15)	Out	Chip Select 0. Used to access external memory or I/O devices. This pin has been assigned to "ICT" pin on Z84013/015. This signal is decoded only from A15-A12 without control signals. Refer to "Functional Description" on-chip select signals for further explanation.

2-76

SYSTEM CONTROL SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
/CS1 (C13/C15 only)	40(x13), 42(x15)	Out	Chip Select 1. Used to access external memory or I/O devices. This pin has been assigned to "ICT" pin on Z84013/015. This signal is decoded only from A15-A12 without control signals. Refer to "Functional Description" on-chip select signals for further explanation.
/WDTOUT	61(x13), 73(x15)	Out(013/015), Open Drain(C13/C15)	Watch Dog Timer Output signal. Output pulse width depends on the externally connected pin.
/RESET	28(x13), 9(x15)	Input(013/015), I/O (Open Drain) (C13/C15)	Reset signal. /RESET signal is used for initializing MPU and other devices in the system. Also used to return from the steady state in the STOP or IDLE modes.

Note: For the Z84013/Z84015 the /RESET must be kept in active state for a period of at least three system clock cycles.

Note: For the Z84C13/Z84C15, during the power-up sequence, the /RESET becomes an Open drain output and the Z84C13/C15 will drive this pin to "0" for 25 to 75 msec after the power supply passes through approx. 2.2V and then reverts to input. If it receives the /RESET signal after power-on sequence, it will drive /RESET pin for 16-processor clock cycles depending on the status of Reset Output Disable bit in Misc Control Register. If this Reset output is disabled, it must be kept in active state for a period of at least three system clock cycles. Note, that if using Z84C13/C15 in a Z84013/015 socket, modification may be required on the reset circuit since this pin is "pure input pin" on the Z84013/015. Also, the /RESET pin doesn't have internal pull-up resistors and therefore requires external pull-ups. For more details on the device, please refer to "Functional Description."

Pin Name	Pin Number	Input/Output, 3-State	Function
XTAL1	63(x13), 65(x15)	In	Crystal oscillator connecting terminal. A parallel resonant crystal is recommended. If external clock source is used as an input to the CGC unit, supply clock goes into this terminal. If external clock is supply to CLKIN pin (without CGC unit), this terminal must be connected to "0" or "1".
XTAL2	63(x13), 66(x15)	Out	Crystal oscillator connecting terminal.
CLKIN	67(x13), 69(x15)	In	Single-phase System Clock Input.
CLKOUT	66(x13), 68(x15)	Out	Single-phase clock output from on-chip Clock Generator/Controller.
EV	58(x13), 67(x15)	In	Evaluator signal. When "1" is applied to this pin, IPC is put in Evaluation mode.

Note: For the Z84013/015, together with /BUSREQ, the EV signal puts the IPC into the evaluation mode. When this signal becomes active, the status of /M1, /HALT and /RFSH change to input. When using Z84013/015 as an evaluator chip, the CPU is electrically disconnected after one machine cycle is executed with the EV signal "1" and the /BUSREQ signal "0". It follows the instructions from the other CPU (of ICE). Upon receiving /BUSREQ; A15-A0, /MREQ, /IORQ, /RD and /WR are changed to input and D7-D0 changes its direction. /BUSACK is NOT 3-stated so it should be disconnected by an externally connected circuit. For details, please refer to "Functional Description" on EV mode.

2-77

2

SYSTEM CONTROL SIGNALS (Continued)

Note: For the Z84C13/C15, to access on-chip resources from the CPU (e.g., ICE CPU), the CPU is electrically disconnected; A15-A0, /MREQ, /IORQ, /RD and /WR are changed to input; D7-D0 changes its direction; /M1, /HALT and /RFSH are put into the high impedance state when the EV pin is set to "1". Also, /BUSACK is 3-stated. For details, please refer to "Functional Description" on EV mode.

Pin Name	Pin Number	Input/Output, 3-State	Function
ICT	42,44(013), 40,42(015), Not with C13/C15	Out	Test pins. Used in the open state.
NC	24,27,57,65(x13), Not with x15		Not connected.
VCC	43,84(x13), 41,90(x15)	Power Supply	+5 Volts
VSS	22, 62(x13), 16,64(x15)	Power Supply	0 Volts

PIO SIGNALS (for the Z84x15 only)

Pin Name	Pin Number	Input/Output, 3-State	Function
/ASTB	21(x15)	In	Port A strobe pulse from a peripheral device. The signal is used as the handshake between Port A and external circuits. The meaning of this signal depends on the mode of operation selected for Port A (see "PIO Basic Timing").
/BSTB	61(x15)	In	Port B strobe pulse from a peripheral device. This signal is used as the handshake between Port B and external circuits. The meaning of this signal is the same as /ASTB, except when Port A is in mode 2 (see "PIO Basic Timing").
ARDY	20(x15)	Out	Register A ready signal. Used as the handshake between Port A and external circuits. The meaning of this signal depends on the mode of operation selected for Port A (see "PIO Basic Timing").
BRDY	62(x15)	Out	Register B ready signal. Used as the handshake between Port B and external circuits. The meaning of this signal is the same as ARDY except when Port A is in mode 2 (see "PIO Basic Timing").
PA7-PA0	22-29(x15)	I/O, 3-State	Port A data signals. Used for data transfer between Port A and external circuits.
PB7-PB0	53-60(x15)	I/O, 3-State	Port B data signals. Used for transfer between Port B and external circuits.

The following pins have different functions between 013/015 and C13/C15

Pin Name	Pin # X13	Pin # X15	Function
/RESET	28	9	Functionality is different.
/WAIT	19	15	Functionality is different.
EV	58	67	Functionality is different.
/WDTOUT	61	73	Push-pull output on Z84013/015, Open drain on Z84 C13/C15
ICT	40, 42	42, 40	(Test pin) on Z84013/015; /CS0 and /CS1 on Z84C13/15.
TxCA, TxCB, RxCA and RxCB	35, 36, 50, 51	33, 34, 48, 49	On Z84C13/15; these signals have Schmitt-triggered inputs.
/BUSACK	29	12	In EV mode, 3-stated on Z84C13/15; remains active on Z84013/015.

2

FUNCTIONAL DESCRIPTION

Figure 5(a) shows the functional block diagram of the Z84013/015 and Figure 5(b) shows the functional block diagram of the Z84C13/C15. As described earlier, the only difference between the Z84x13 and the Z84x15 is the PIO not being available on the Z84x13.

Functionally, the on-chip SIO, PIO (not available on Z84x13), CTC, and the Z80 CPU are the same as the discrete devices. Therefore, for detailed description of each individual unit, refer to the Product Specification/Technical Manual of each discrete product.

The following subsections describe each individual functional unit of the IPC.

Z84C00/01 Logic Unit
The CPU provides all the capabilities and pins of the Zilog Z80 CPU. This allows 100% software compatibility with existing Z80 software. In addition, it has the pin called "A7RF" to extend DRAM refresh address to 8-bits. Refer to "Z84C01 Z80 CPU with CGC" Product Specification.

Z84C20 Parallel Input/Output Logic Unit (Z84x15 Only)
This logic unit provides both TTL- and CMOS- compatible interfaces between peripheral devices and a CPU through the use of two 8-bit parallel ports (Figure 6). The CPU configures the logic to interface to a wide range of peripheral devices with no external logic. Typical devices that are compatible with this interface are keyboards, printers, and EPROM/PAL programmers.

The parallel ports (designated Port A and Port B) are byte wide and completely compatible with the Z84C20 PIO. These two ports have several modes of operation; input, output, bi-directional, or bit control mode. Each port has two handshake signals (RDY and /STB) which are used to control data transfers. The RDY (ready) indicates that the port is ready for data transfer while /STB (strobe) is an input to the port that indicates when data transfer has occurred. Each of the ports can be programmed to interrupt the CPU upon the occurrence of specified status conditions, and generate unique interrupt vectors when the CPU responds (for more information on the operation of this portion of the logic, please refer to the Z84C20 PIO Product Specification and Technical Manual).

Z84C30 Counter/Timer Logic Unit
This logic unit provides the user with four individual 8-bit Counter/Timer Channels that are compatible with the Z84C30 CTC (Figure 7). The Counter/Timers can be programmed by the CPU for a broad range of counting and timing applications. Typical applications include event counting, interrupt and interval counting, and serial baud rate clock generation.

Each of the Counter/Timer Channels, designated Channels 0-3, have an 8-bit prescaler (when used in timer mode) and its own 8-bit counter to provide a wide range of count resolution. Each of the channels have their own Clock/Trigger input to quantify the counting process and an output to indicate zero crossing/timeout conditions. With only one interrupt vector programmed into the logic unit, each channel can generate a unique interrupt vector in response to the interrupt acknowledge cycle.

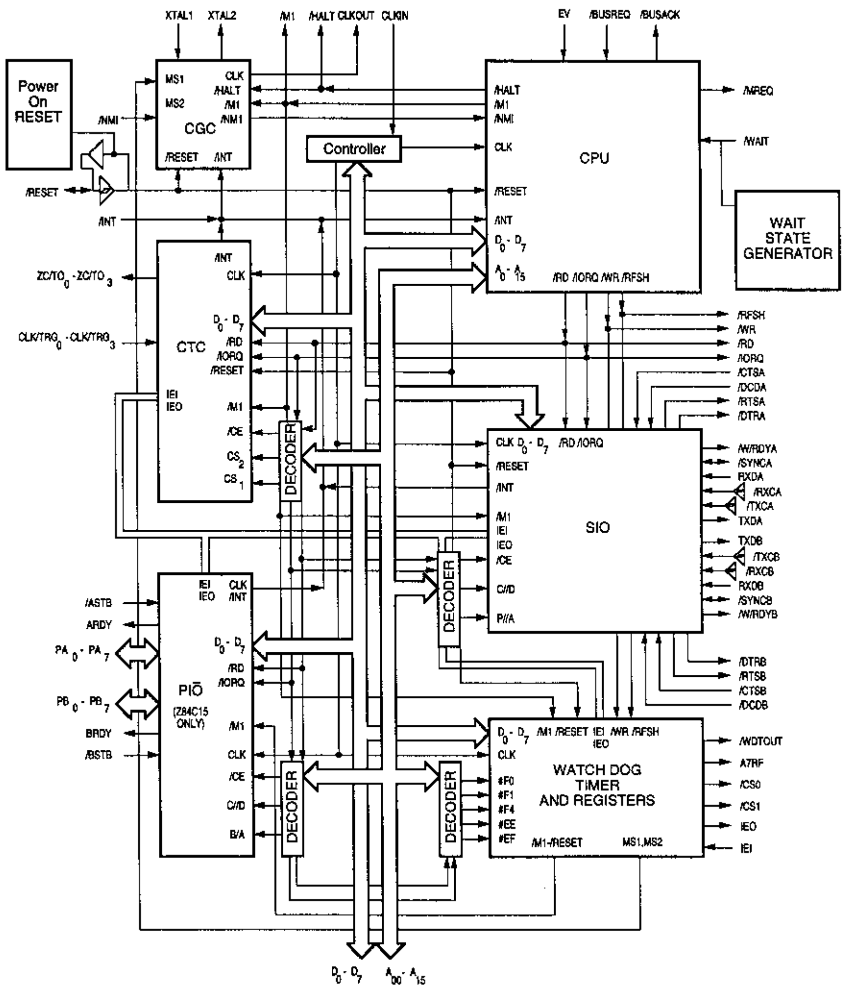


Figure 5(b). Block Diagram for 84C13/C15 IPC

2-81

2

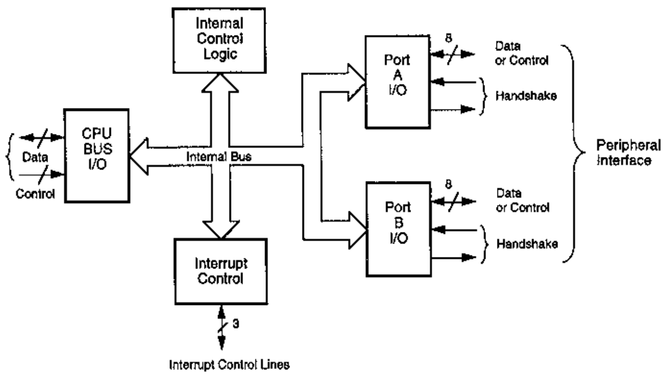


Figure 6. PIO Block Diagram

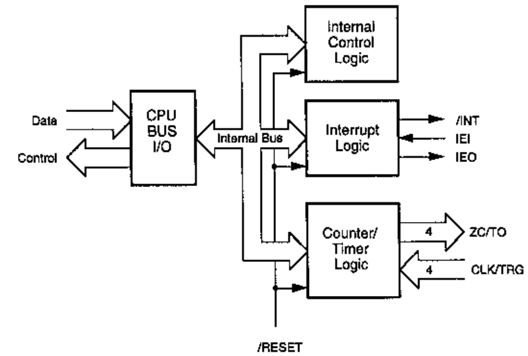


Figure 7. CTC Block Diagram

Z84C4x Serial I/O Logic Unit
This logic unit provides the user with two separate multi-protocol serial I/O channels that are completely compatible with the Z84C4x SIO. Their basic functions as serial-to-parallel and parallel-to-serial converters can be programmed by a CPU for a broad range of serial communications applications. Each channel, designated Channel A and Channel B, is capable of supporting all common asynchronous and synchronous protocols (Monosync, Bisync, and SDLC/HDLC, byte or bit oriented - Figure 8).

Z84C13/C15 Only. As an enhancement to the Z84013/015, the Z84C13/C15 can handle a 32-bit CRC on Channel A and Schmitt-trigger inputs on the /TxC and /RxC pins of both channels.

2-82

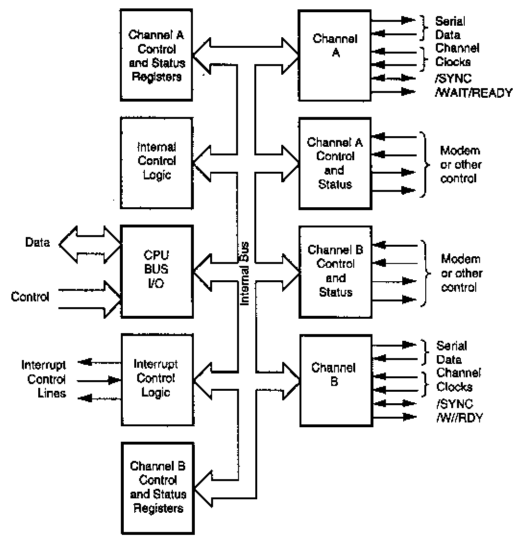


Figure 8. SIO Block Diagram

Watch Dog Timer (WDT) Logic Unit
This logic unit has been superintegrated into the IPC. It detects an operation error, caused by the program run-away, and returns to normal operation. Figure 9, shows the block diagram of the WDT. Upon Power-On Reset, this unit is enabled. If WDT is not required, but /WDTOUT is connected to /RESET or any other circuit, it has to be disabled. During the power-down mode of operation (either IDLE1/2 or Stop), the Watch Dog Timer is halted.

WDT Output (/WDTOUT pin). When the WDT is used, the "0" level signal is output from the /WDTOUT pin after a duration of time specified in the WDTP or in the WDTMR. The output pulse width is one of the following, depending on the /WDTOUT pin connection.

- The /WDTOUT is connected to the /RESET pin: The "0" level is pulsed for 5TcC (System clock cycles).
- The /WDTOUT is connected to a pin other than the /RESET pin: The "0" level is kept until the Watch Dog timer is cleared by software, or reset by /RESET pin.

CGC Logic Unit. The IPC has CGC (Clock Generator/Controller) unit. This unit is identical to the one with the Z84C01 and the Z84C50, and supports power-down modes of operation. The output from this unit is on the pin called CLKOUT, and is not connected to the system clock internally. The CLKIN pin is the system clock input. The user can connect CLKOUT to CLKIN to utilize this CGC unit, or supply external clock from CLKIN pin.

The CGC unit allows crystal input (XTAL1, XTAL2) or External Clock input on the XTAL1 pin. It has clock divide-by-two circuits and generates a half-speed clock to the input.

Z84C13/C15. The power-down modes of the IPC vary depending upon whether the system clock is fed from the CGC unit (tie CLKOUT to CLKIN) or the external clock source on the CLKIN pin. They also have divide-by-one Mode. If the clock is supplied by this CGC unit, all of the modes in "halt" state are available. When external clock is provided on the CLKIN pin, XTAL1 is not left open (tied to "0" or "1") to avoid meta-stable conditions to minimize power consumption.

2-83

2

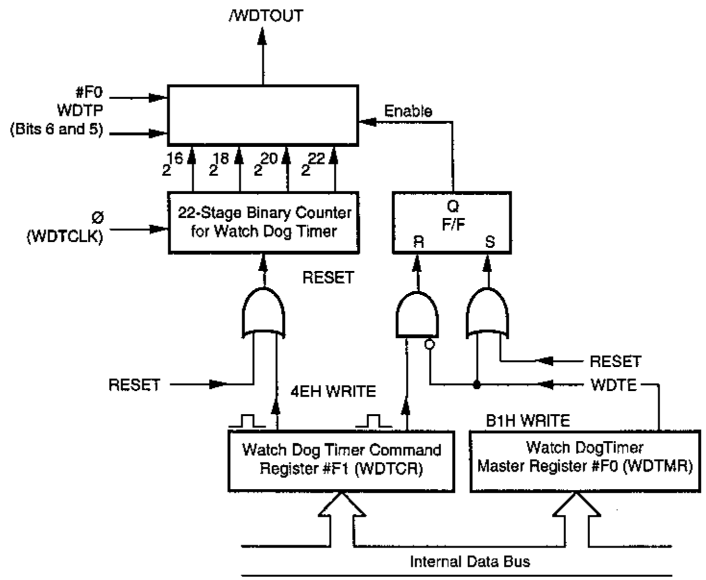


Figure 9. Block Diagram of Watch Dog Timer

Z84013/015 Only. If the system clock is provided on the CLKIN pin, none of the power-down mode (except RUN mode) is supported.

Z84C13/C15 Only. If the system clock is provided on the CLKIN pin, only the IDLE2 mode is applicable. In this mode, if the HALT instruction is executed, internal clock to the CTC is kept on "Continue", but the clock to the other components (CPU, PIO, SIO and Watch Dog Timer) are stopped. The divide-by-two circuit of the CGC unit can be skipped by programming bit D4 of the WDTMR (see "Programming" section). Upon Power-on Reset, it comes up in divide by two mode.

System Clock Generation
The IPC has a built-in oscillator circuit and the required clock can be easily generated by connecting a crystal to the external terminals (XTAL1, XTAL2). Clock output is the same frequency as half the speed of the crystal frequency. Example of oscillator connections are shown in Figure 10.

Z84C13/C15. Clock output is the same, or half, of the external frequency.

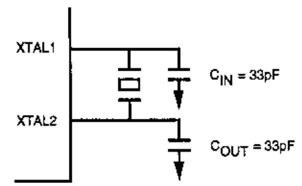


Figure 10. Circuit Configuration For Crystal

2-84

Recommended characteristics of the crystal and the values for the capacitor are as follows (the values will change with crystal frequency).

- Type of crystal: Fundamental, parallel type crystal (AT cut is recommended).
- Frequency tolerance: Application dependent.
- CL, Load capacitance: Approximately 22pf (acceptable range is 20-30pf).
- Rs, equivalent-series resistance: ≤ 150 ohms.
- Drive level:10mW (for ≤ 10MHz crystal); 5mW (for ≥ 10MHz crystal).
- $C_{IN} = C_{OUT} = 33pF$.

Power-On Reset Logic Unit (Z84C13/C15 Only)
The Z84C13/C15 has the enhanced feature of a Power-on Reset Circuit. During the power-up sequence, the open-drain gate of the on-chip power-on Reset circuit drives /RESET pin to "0" for 25 to 75 msec after the power supply passes through approx. 2.2V. After the termination of the "Power-on Reset" cycle, the open-drain gate of the on-chip Power-on Reset circuit stops to drive the /RESET pin. It is required to have external pull-up register on the /RESET pin.

If it receives /RESET input from outside after the power-on sequence and while the Reset Output Disable bit in Misc Control Register is cleared to "0", it will drive the /RESET pin for 16-processor clock cycles from the falling edge of the external /RESET input. Otherwise, the /RESET pin must be kept in the active state for a period of at least 3 system clock cycles.

If there are power-on reset circuits outside of this device, drive this pin with OPEN-DRAIN type gates with pull-up resisters because /RESET signal is driven low for the period mentioned above during the Power-on sequence. If the external Power-on Reset circuit has push-pull type drivers and they drive the /RESET pin to "1" during that period, it may cause damage. In particular, when using Z84C13/C15 in the Z84013/015 socket, modification may be required on the external reset circuit.

Wait State Generator Unit (Z84C13/C15 Only)
The Z84C13/C15 has the enhanced feature of a Wait State Generator circuit. It is capable of generating /WAIT signals to the CPU internally. The status of the External /WAIT input line is sampled after the insertion of software wait states, except for the wait state's insertion of Interrupt Daisy Chain Wait (for this cycle, insertion of a wait state is not simple).

The Wait State Control Register can be programmed to generate multiple Wait states during different CPU cycles listed as follows.

Memory Wait and Opcode wait. The Wait State Generator can put 0 to 3 wait states in memory accesses. Additionally, one added wait state can be inserted during an /M1 (Opcode fetch) cycle, because /M1 cycle's timing requirement is tighter than memory Read/Write cycles. It generates wait states to the Memory Access in a specified address range, which is programmed in the Memory Wait Boundary Register.

I/O Wait. The Wait State generator can put 0, 2, 4 or 6 wait states in I/O accesses. Regardless of the programming of this field, no I/O wait states are inserted for accesses to on-chip peripherals.

Interrupt Vector Wait. During Interrupt acknowledge cycle, the Wait State Generator can insert one wait state after /IORQ goes active, to extend the time between /IORQ fall to vector fetch by CPU. It allows a slow vector response device.

Interrupt Daisy Chain Wait and RETI sequence extension. During Interrupt acknowledge cycle, the Wait State Generator can insert 0, 2, 4 or 6 wait states between /M1 falling to /IORQ falling edge, to extend the time required to settle daisy chain. This allows a longer daisy chain. Also, this field controls the number of wait states inserted during RETI (Return From Interrupt) cycle. If specified to insert 4 or 6 wait states during Interrupt Acknowledge cycle, Wait State Generator also inserts wait states during RETI fetch sequence. This sequence is generated with two op-code fetch cycles (Op-code is EDh followed by 4Dh). It inserts 2 or 4 wait states, respectively, if op-code followed by EDh is 4Dh. One wait state if the following op-code is not 4Dh.

Chip Select Signals (Z84C13/C15 Only)
The Z84C13/C15 has an enhanced feature of adding two chip select (/CS0, /CS1) pins. Both signals are originally IC test pins (ICT) on the Z84013/015. The boundary value for each Chip Select Signal is 4 bits wide, and compare with A15-A12 of the address. Each Chip Select Signal goes active when:

/CS0: (D3-D0 of CSBR) ≥ A15-A12 ≥ 0
/CS1: (D7-D4 of CSBR) ≥ A15-A12 > (D3-D0 of CSBR)

(Where CSBR is the contents of Chip Select Boundary Register.)

There is also a separate /CS enable bit. /CS0 is enabled on power-up with a boundary value of "F" causing /CS0 to go active for all memory accesses. /CS1 is disabled on

2

power-up, and boundary address is undefined. These features are controlled via the I/O control registers located at I/O address EEh and EFh. **Note that a glitch may be observed on these pins because address decode logic is decoding only A15-A12, without any control signals.** For more detail, please refer to the "Programming section."

Other functional features (Z84C13/C15 Only)
For more system design flexibility, the Z84C13/C15 has the following unique features. These features are controlled by MCR (Misc. Control Register) which is indirectly accessed via the System Control Register Pointer (SCRP, I/O address EEh), and System Control Data Port (SCDP, I/O address EFh). For more details, please refer to the "Programming" section.

- Clock Divide-by-one option
- Reset Output Disable
- 32-bit CRC Generation/Checking

Clock Divide-by-One Option. This feature is programmed through Bit D4 of MCR. Upon Power-On reset, the Clock from on-chip CGC is passed through a divide-by-two circuit. By setting this bit to one, the divide-by-two circuit is bypassed so the clock on the CLKOUT pin is equal to X'tal input. If the clock is applied to the CLKIN pin from external clock source, the status of this bit is ignored. Upon Power-on Reset, it is cleared to 0. For details, please refer to "Programming" section.

Reset Output Disable. This feature is programmed by Bit D3 of MCR. If this bit is cleared to "0", The /RESET pin becomes "Open-drain output" and is driven to "0" for 16-clock cycles from the falling edge of /RESET input. This feature is for the cases where /RESET is used to get out from the "HALT" state. If this bit is set to one, the on-chip reset circuit will not drive /RESET pin.

32-bit CRC Generation/Checking. This feature is programmed by Bit D2 of MCR. By setting this bit to one, Channel A of SIO is set to use the 32-bit CRC generator/checker instead of the original 16-bit CRC generator/checker in synchronous communication modes. The polynomial to be used in this mode is the one for the protocols such as V.42, and is (X32 + X26 + X23+ X22 + X16 + X12 + X11 + X10 + X8 + X7 + X5 + X4 + X2 + X + 1). Upon Power-on Reset, this bit is cleared to 0.

Evaluation Mode
The IPC has a built evaluation (or development) mode feature which allows the users to utilize standard Z80 development systems conveniently. This mode virtually replaces the on-chip Z80 CPU with the external CPU. In this mode, the on-chip CPU is electrically disconnected from internal bus and all 3-state signals (A15-0, D7-0, /MREQ, /IORQ, /RD, /WR, /HALT, /M1 and /RFSH; for C13/C15, /BUSREQ as well) are tri-stated, or changed to input. This allows the development system CPU to take over and use the internal I/O registers of the IPC exactly as if the CPU was on-chip.

Z84013/015 Only. When this signal is active,the /M1, /HALT and /RFSH pins are put in the high-impedance state. In using the Z84013/015 as an evaluator chip, the CPU is electrically disconnected (put in high-impedance state) after one machine cycle is executed with the EV signal being "1" and the /BUSREQ signal being "0". Then, on-chip resources can be accessed from the outside. /BUSACK is disconnected by an externally connected circuit.

Z84C13/C15 Only. If the EV pin is tied to Vcc on Power-up, the Z84C13/C15 enters into an evaluation mode. In this mode, the internal CPU is immediately disconnected from the internal bus and all 3-state signals mentioned above are tri-stated, or changed to input. Note that the /WAIT pin became the OUTPUT pin in EV mode, and the Wait State Generator generates wait states only as programmed. If the target application board has a separate wait state generator, modification of the target may be required. /BUSACK is 3-stated in this mode.

The Z84C13/C15 behaves similarly to the situation where in regular operation, the /BUSREQ signal is asserted by an external master causing all 3-state signals to be tri-stated by the Z84C13/C15 during T1 of the following machine cycle. The /BUSREQ approach was not used for the evaluation mode to avoid significant external circuitry to work around the time period before the external CPU uses the bus for Z84C13/C15 accesses.

PROGRAMMING

I/O address assignment
The IPC 's on-chip peripherals' I/O addresses are listed in Table 1. They are fully decoded from A7-A0 and have no image.The registers with Z84C13/C15 located at I/O Address EEh and EFh are the registers to control enhanced features to Z84013/015, and not assigned on Z84C013/015.

Table 1. I/O Control Register Address

Address	Device	Channel	Register
10h	CTC	Ch 0	Control Register
11h	CTC	Ch 1	Control Register
12h	CTC	Ch 2	Control Register
13h	CTC	Ch 3	Control Register
18h	SIO	Ch. A	Data Register
19h	SIO	Ch. A	Control Register
1Ah	SIO	Ch. B	Data Register
1Bh	SIO	Ch. B	Control Register
1Ch	PIO	Port A	Data Register (Not with Z84x13)
1Dh	PIO	Port A	Command Register (Not with Z84x13)
1Eh	PIO	Port B	Data Register (Not with Z84x13)
1Fh	PIO	Port B	Command Register (Not with Z84x13)
F0h	Watch-Dog Timer		Master Register (WDTMR)
F1h	Watch-Dog Timer		Control Register (WDTCR)
F4h	Interrupt Priority Register		
EEh			System Control Register Pointer (SCRP) (Not with Z84013/015)
EFh			System Control Data Port (SCDP) (Not with Z84013/015)
	Through SCRP and SCDP		Control Register 00 - Wait State Control register (WCR) Control Register 01 - Memory Wait state Boundary Register (MWBR)
			Control Register 02 - Chip Select Boundary Register (CSBR) Control Register 03 - Misc. Control Register (MCR)

PIO REGISTERS

For more detailed information, please refer to the PIO Technical Manual. These registers are not in the Z84x13.

Interrupt Vector Word
The PIO logic unit is designed to work with the Z80 CPU in interrupt Mode 2. The interrupt word must be programmed if interrupts are used. Bit D0 must be a zero (Figure 11).

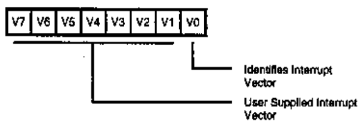


Figure 11. PIO Interrupt Vector Word

2

Mode Control Word
Selects the port operating mode. This word is required and is written at any time (Figure 12).

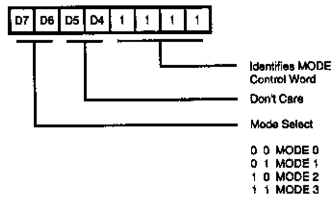


Figure 12. PIO Mode Control Word

I/O Register Control Word
When Mode 3 is selected, the Mode Control Word is followed by the I/O Register Control Word. This word configures the I/O register, which defines which port lines are inputs or outputs. A "1" indicates input while a "0" indicates output. This word is required when in Mode 3 (Figure 13).

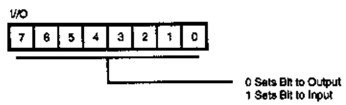
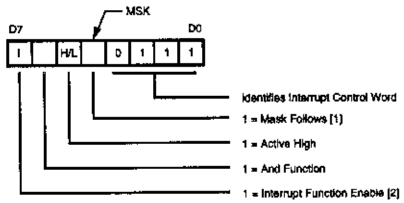


Figure 13. I/O Register Control Word

Interrupt Control Word
In Mode 3 operation, handshake signals are not used. Interrupts are generated as a logic function of the input signal levels. The Interrupt Control Word sets the logic conditions and the logic levels required for generating an interrupt. Two logic conditions or functions are available: AND (if all input bits change to the active level, an interrupt is triggered), OR (if any one of the input bits change to the active logic level, an interrupt is triggered). The user can program which input bits are to be considered as part of this logic function. Bit D6 sets the logic function, bit D5 sets the logic level, and bit D4 specifies a mask control word to follow (Figure 14).



Note:
[1] Regardless of the operating mode, setting Bit D4 = 1 causes any pending interrupts to be cleared.
[2] The port interrupt is not enabled until the interrupt function enable is followed by an active /M1.

Figure 14. Interrupt Control Word

Mask Control Word
This word sets the mask control register, thus allowing any unused bits to be masked off. If any bits are to be masked, then bit D4 of the interrupt Control Word is set. When bit D4 of the interrupt Control Word is set, then the next word programmed is the Mask Control Word. To mask an input bit, the corresponding Mask Control Word bit is a "1" (Figure 15).

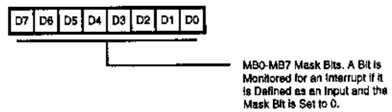


Figure 15. Mask Control Word

Interrupt Disable Word
This word can be used to enable or disable a port's interrupts without changing the rest of the port's interrupt conditions (Figure 16).

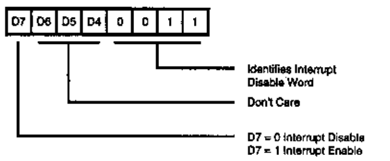


Figure 16. Interrupt Disable Word

CTC CONTROL REGISTERS

For more detailed information, refer to the CTC Technical Manual.

Channel Control Word
This word sets the operating modes and parameters as described below. Bit D0 is a "1" to indicate that this is a Control Word (Figure 17).

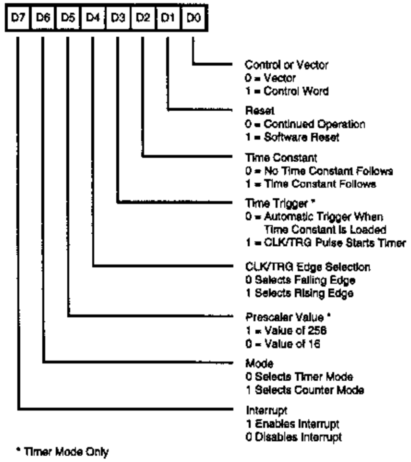


Figure 17. CTC Channel Control Word

Bit D7. *Interrupt Enable.* This bit enables the interrupt logic so that an internal INT can be generated at zero count. Interrupts are programmed in either mode and may be enabled or disabled at any time.

Bit D6. *Mode Bit.* This bit selects either Timer Mode or Counter Mode.

Bit D5. *Prescalor Factor.* This bit selects the prescalor factor for use in the timer mode. Either divide-by-16 or divide-by-256 is available.

Bit D4. *Clock/Trigger Edge Selector.* This bit selects the active edge of the CLK/TRG input pulses.

Bit D3. *Timer Trigger.* This bit selects the trigger mode for timer operation. Either automatic or external trigger may be selected.

Bit D2. *Time Constant.* This bit indicates that the next word programmed is time constant data for the downcounter.

Bit D1. *Software Reset.* Writing 1 to this bit indicates a software reset operation, which stops counting activities until another time constant word is written.

Time Constant Word
Before a channel starts counting, it must receive a time constant word. The time constant value is anywhere between 1 and 256, with "0" being accepted as a count of 256 (Figure 18).

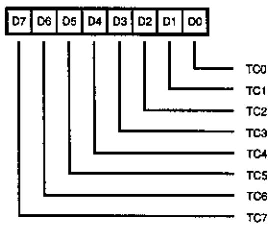


Figure 18. CTC Time Constant Word

Interrupt Vector Word
If one or more of the CTC channels have interrupt enabled, then the Interrupt Vector Word must be programmed. Only the five most significant bits of this word are programmed, and bit D0 must be "0". Bits D2-D1 are automatically modified by the CTC channels when it responds with an interrupt vector (Figure 19).

2

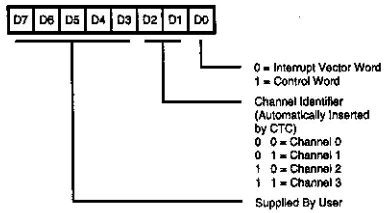


Figure 19. CTC Interrupt Vector Word

SIO REGISTERS

For more detailed information, refer to the SIO Technical Manual.

Read Registers. The SIO channel B contains three read registers while channel A contains only two that are read to obtain status information. To read the contents of a register (rather than RR0), the program must first write a pointer to WR0 in exactly the same manner as a write operation. The next I/O read cycle will place the contents of the selected read registers onto the data bus (Figure 20a, b, c).

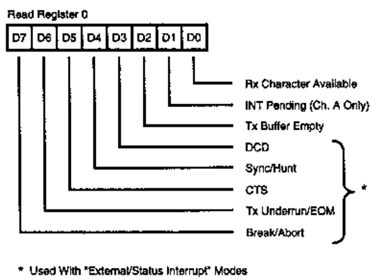


Figure 20a. SIO Read Register 0

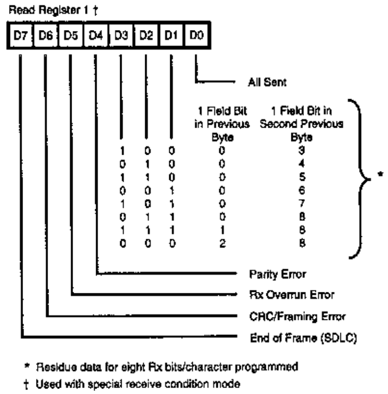


Figure 20b. SIO Read Register 1

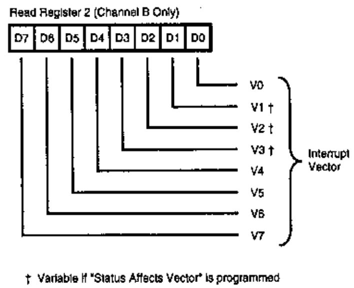


Figure 20c. SIO Read Register 2

Write Registers. The SIO Channel B contains eight write registers while Channel A contains only seven that are programmed to configure the operating mode characteristics of each channel. With the exception of WR0, programming the write registers is a two step operation. The first operation is a pointer written to WR0 which points to the selected register. The second operation is the actual control word that is written into the register to configure the SIO channel (Figure 21).

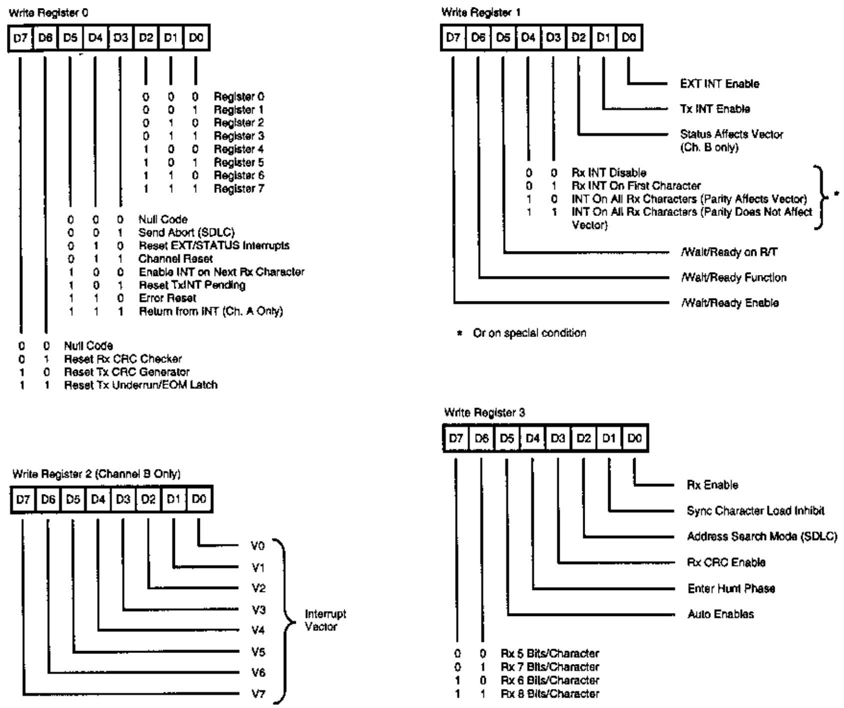


Figure 21. SIO Write Registers

2

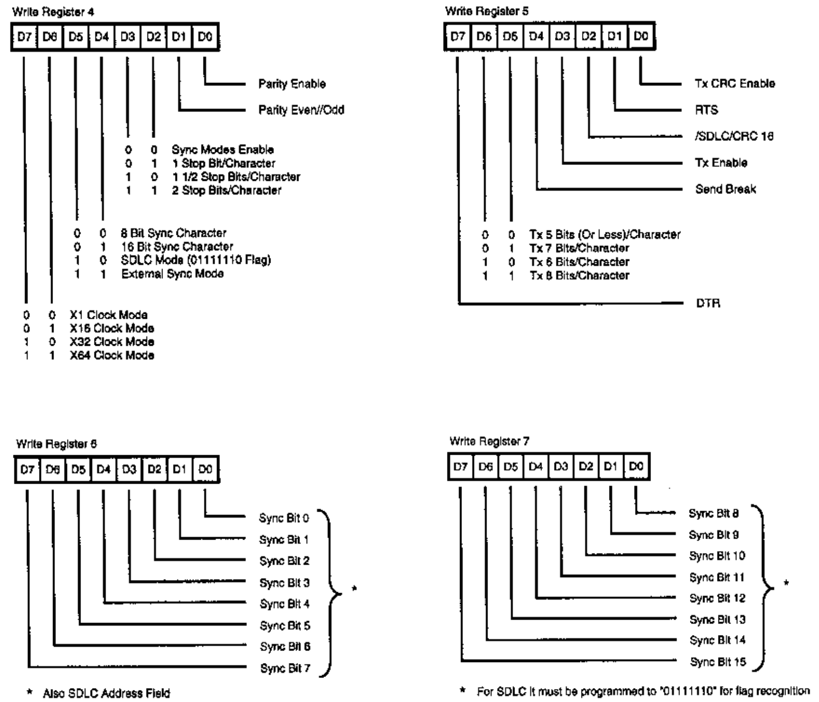


Figure 21. SIO Write Registers (Continued)

WATCH DOG CONTROL REGISTERS

There are two registers to control Watch Dog Timer operations. These are Watch Dog Timer Master Register (WDTMR; I/O Address F0h) and the WDT Command Register (WDTCR; I/O Address F1h). Watch Dog Timer Logic has a "double key" structure to prevent the WDT disabling error, which may lead to the WDT operation to stop due to program runaway. Programming the WDT follows this procedure. Also, these registers program the power-down mode of operation. The "Second key" is needed when turning off the Watch Dog Timer.

Enabling the WDT. The WDT is enabled by setting the WDT Enable Bit (D7:WDTE) to "1" and the WDT Periodic field (D5,D6:WDTP) to the desired time period. These command bits are in the Watch Dog Timer Master Register (WDTMR; I/O Address F0h).

Disabling the WDT. The WDT is disabled by clearing WDT Enable bit (WDTE) in the WDTMR to "0" followed by writing "B1h" to the WDT Command Register (WDTCR; I/O Address F1h).

2-91 2-92

Clearing the WDT. The WDT can be cleared by writing "4Eh" into the WDTCR.

Watch Dog Timer Master Register (WDTMR; I/O address F0h). This register controls the activities of the Watch Dog Timer and selects power-down mode of operation (Figure 22).

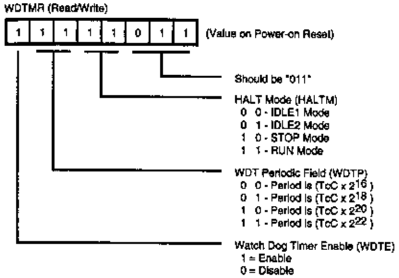


Figure 22. Watch Dog Timer Master Register

Bit D7. *Watch Dog Timer Enable* (WDTE). This bit controls the activities of Watch Dog Timer. The WDT can be enabled by setting this bit to "1". To disable WDT, write "0" to this bit followed by writing "B1h" in the WDT Command Register. Watch Dog Timer Logic has a "double key" structure to prevent the WDT disabling error, which may lead to the WDT operation to stop, due to program run-away. Upon Power-on reset, this bit is set to "1" and the WDT is enabled.

Bit D6-D5. *WDT Periodic field* (WDTP). This two bit field determines the desired time period. Upon Power-on reset, this field sets to "11".

00 - Period is (TcC * 2^{16})
01 - Period is (TcC * 2^{18})
10 - Period is (TcC * 2^{20})
11 - Period is (TcC * 2^{22})

Bit D4-D3. *HALT mode* (HALTM). This two bit field specifies one of four power-down modes. To change this field, write "DBh" to the WDT command register, followed by a write to this register. For detailed descriptions of this field, please refer to the section "Mode of operations." Upon Power-on Reset, this field is set to 11, which specifies "RUN mode."

00 - IDLE 1 Mode
01 - IDLE 2 Mode
10 - STOP Mode
11 - RUN Mode

Bit D2-D0. *Reserved.* These three bits are reserved and should always be programmed as "011". A read to these bit returns "011".

Watch Dog Timer Command Register (WDTCR; I/O address F1h). In conjunction with the WDTMR, this register works as a "Second key" for the Watch Dog Timer. This register is write only (Figure 23).

Write B1h after clearing WDTE to "0" - Disable WDT.
Write 4Eh - Clear WDT.
Write DBh followed by a write to HALTM - Change Power-down mode.

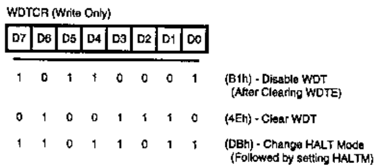


Figure 23. Watch Dog Timer Command Register

2

INTERRUPT PRIORITY REGISTER
(INTPR; I/O address F4h)

This register (write only) is provided to determine the interrupt priority for the CTC, SIO and the PIO (Figure 24).

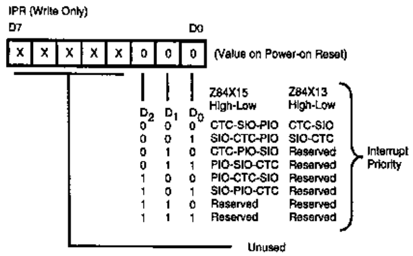


Figure 24. Interrupt Priority Register

Bit D7-D3. Unused

Bit D2-D0. This field specifies the order of the interrupt daisy chain. Upon Power-on Reset, this field is set to "000".

	Z84C15 High - Low	Z84C13 High - Low
000	CTC-SIO-PIO	CTC-SIO
001	SIO-CTC-PIO	SIO-CTC
010	CTC-PIO-SIO	Reserved
011	PIO-SIO-CTC	Reserved
100	PIO-CTC-SIO	Reserved
101	SIO-PIO-CTC	Reserved
110	Reserved	Reserved
111	Reserved	Reserved

REGISTERS FOR SYSTEM CONFIGURATION

(The following registers are not available on Z84013/015.) There are four indirectly accessible registers to determine System configuration with the Z84C13/C15. These indirectly accessible registers are: Wait State Control Register (WCR, Control Register 00h), Memory Wait Boundary Register (MWBR, Control Register 01h), Chip Select Boundary Register (CSBR, Control Register 02h) and Misc. Control Register (MCR, Control Register 03h). To access these registers, Z84C13/C15 writes "register number to be accessed" to the System Control Register Pointer (SCRP, I/O address EEh), and then accesses the target register through the System Control Data Port (SCDP, I/O address EFh). The pointer which writes into SCRP is kept until modified.

System Control Register Pointer (SCRP, I/O address EEh) This register stores the pointer to access System Control Registers (WCR, MWBR, CSBR and MCR). This register is Read/Write and it holds the pointer value until modified. Upon Power-on Reset, all bits are cleared to zero. The pointer value, other than 00h to 03h is reserved and is not written. Upon Power-on Reset, this register is set to "00h" (Figure 25).

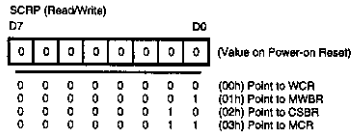


Figure 25. System Control Register Pointer

System Control Data Port (SCDP, I/O address EFh) This register is to access WCR, MWBR, CSBR and MCR (Figure 26).

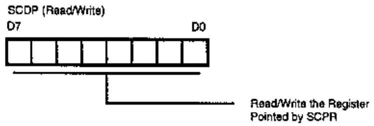


Figure 26. System Control Data Port

Wait State Control Register (WCR, Control Register 00h) This register can be accessed through SCDP with the pointer value 00h in SCRP (Figure 27). To maintain compatibility with the Z84013/015, the Z84C13/C15 inserts the maximum number of wait states (set all bits of this register to one) for fifteen /M1 cycles after Power-on Reset. It automatically clears the contents of this register (move to no-wait state insertion) on the trailing edge of the 16th /M1 signal unless software has programmed a value. If automatic wait state insertion is needed, the wait state is programmed within this time period. A read to WCR during this period will return FFh, unless programmed.

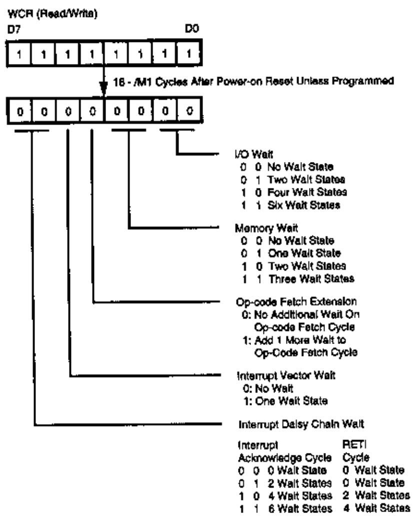


Figure 27. Wait State Control Register

This register has the following fields:

Bit 7-6. *Interrupt Daisy Chain Wait.* This 2-bit field specifies the number of wait states to be inserted during an Interrupt Daisy Chain settle period of the Interrupt Acknowledge cycle, which is/IORQ falls after the settling period from /M1 going active "0". Also, this field controls the number of wait states inserted during the RETI (Return From Interrupt) cycle. If specified to insert 4 or 6 wait states during Interrupt Acknowledge cycle, the Wait state generator also inserts wait states during RETI fetch sequence. This sequence is formed with two op-code fetch cycles (Op-code is EDh followed by 4Dh). It inserts 1 wait state if op-code followed by EDh is NOT 4Dh, and inserts 2 or 4 wait states, respectively, if the following op-code is 4Dh.

Interrupt Acknowledge	RETI cycle
00 - No Wait states	No Wait states
01 - 2 Wait states	No Wait states
10 - 4 Wait states	2 Wait states
11 - 6 Wait states	4 Wait states

For fifteen /M1 cycles from Power-on Reset, bits 7-6 are set to "11". They clear to "00" on the trailing edge of the 16th /M1 signal unless programmed.

Bit 5. *Interrupt Vector Wait.* While this bit is set to one, the wait state generator inserts one wait state after the /IORQ signal goes active during the Interrupt acknowledge cycle. This gives more time for the vector read cycle. While this bit is cleared to zero, no wait state is inserted (standard timing). For fifteen /M1 cycles from Power-on Reset, this bit is set to "1", then cleared to "0" on the trailing edge of the 16th /M1 signal, unless programmed.

Bit 4. *Opcode Fetch Extension.* If this bit is set to "1", one additional wait state is inserted during the Op-code fetch cycle in addition to the number of wait states programmed in the Memory Wait field. For fifteen /M1 cycles from Power-on Reset, this bit is set to "1", then cleared to "0" on the trailing edge of the 16th /M1 signal, unless programmed.

Bit 3-2. *Memory Wait States.* This 2-bit field specifies the number of wait states to be inserted during memory Read/ Write transactions.

00 - No Wait states
01 - 1 Wait states
10 - 2 Wait states
11 - 3 Wait states

For fifteen /M1 cycles from Power-on Reset, these bits are set to "11", then cleared to "00" on the trailing edge of the16th /M1 signal, unless programmed.

Bit 1-0. *I/O Wait states.* This 2-bit field specifies the number of wait states to be inserted during I/O transactions.

00 - No Wait states
01 - 2 Wait states
10 - 4 Wait states
11 - 6 Wait states

For fifteen /M1 cycles from Power-on Reset, these bits are set to "11", then cleared to "00" on the trailing edge of the16th /M1 signal, unless programmed. For the accesses to the on-chip I/O registers, no Wait states are inserted regardless of the programming of this field.

Memory Wait Boundary Register
(MWBR, Control Register 01h)
This register specifies the address range to insert memory wait states. When accessed memory addresses are within this range, the Memory Wait State generator inserts Memory Wait States specified in the Memory Wait field of WCR (Figure 28).

2-95

2

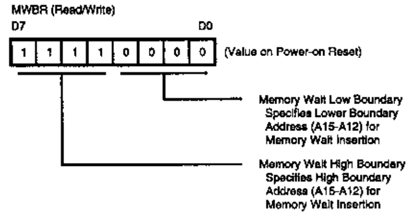


Figure 28. Memory Wait Boundary Register

Bit D7-D4. *Memory Wait High Boundary.* This field specifies A15-A12 of the upper address boundary for Memory Wait.

Bit D3-D0. *Memory Wait Low Boundary.* This field specifies A15-12 of the lower address boundary for Memory Wait.

Memory Wait states are inserted for the address range:

(D7-D4 of MWBR) ≥ A15-A12 ≥ (D3-D0 of MWBR)

This register is set to "F0h" on Power-on Reset, which specifies the address range for Memory Wait as "0000h to FFFFh".

Chip Select Boundary Register
(CSBR, Control Register 02h)
This register specifies the address range for each chip select signal. When accessed memory addresses are within this range, chip select signals are active (Figure 29).

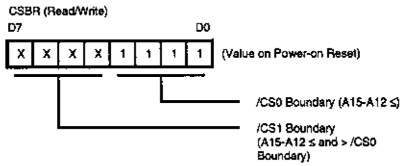


Figure 29. Chip Select Boundary Register

D7-D4. */CS1 Boundary Address.* These bits specify the boundary address range for /CS1. The bit values are ignored on power-up as the /CS1 enable bit is off. The /CS1 is asserted if the address lines A15-12 have an address value greater than the programmed value for /CS0, and less than or equal to the programmed value in these bits.

D3-D0. */CS0 Boundary Address.* These bits specify the boundary address range for /CS0. /CS0 is asserted if the address lines A15-12 have an address value less than or equal to the programmed boundary value. The /CS0 enable bit in the MCR must be set to 1. Upon Power-up reset, these bits come up as all 1's so that /CS0 is asserted for all addresses.

Chip Select signals are active for the address range:

/CS0: (D3-D0 of CSBR) ≥ A15-A12 ≥ 0
/CS1: (D7-D4 of CSBR) ≥ A15-A12 >
(D3-D0 of CSBR)

This register is set to "xxxx1111b" on Power-on Reset, which specifies the address range of /CS0 for "0000h to FFFFh" (all Memory location) and /CS1 "undefined."

Misc Control Register (MCR, Control Register 03h)
This register specifies miscellaneous options on this device (Figure 30).

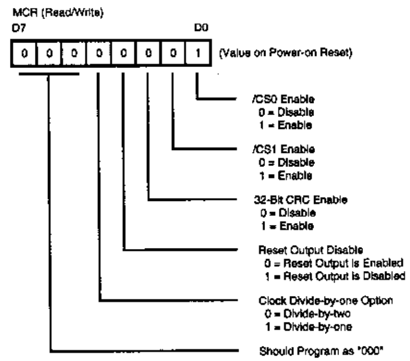


Figure 30. Misc Control Register

Bit D7-D5. *Reserved.* These three bits are reserved and are always programmed as "000".

Bit D4. *Clock Divide-by-one option.* "0"-Disable, "1"-enable. On-chip CGC unit has divide-by-two circuit. By setting this bit to one, this circuit is bypassed and CLKOUT is equal to X'tal oscillator frequency (or external clock input on the XTAL1 pin). This bit has no effect when the on-chip CGC unit is not in use and the external system clock is fed from CLKIN pin. Upon Power-on Reset, this bit is cleared to 0 and the clock is divided by two.

2-96

Bit D3. *Reset Output Disable.* "0"-Reset output is enabled, "1"-Reset output is disabled. This bit controls the /RESET signal and is driven out when reset input is used to take the Z84C13/C15 out of the "Halt" state. The reset pulse is driven out for 16-clock cycles from the falling edge of /RESET input, unless this bit is set. Upon Power-on reset, this bit is cleared to 0.

Bit D2. *32-Bit CRC enable.* "0"-Normal mode (16-bit CRC) "1"-32-bit CRC generation/Checking is enabled on SIO Channel A. This bit determines if the 32-bit CRC feature is enabled on Channel A of the SIO. If this bit is 0, the SIO is in a normal mode of operation. If this bit is set to 1, a normal CRC generator/checker is replaced with a 32-bit CRC generator/checker. Upon Power-on Reset, this bit is clear to "0".

Bit D1. */CS1 Enable. "0"-Disable, "1"-Enable.* This bit enables /CS1 output. While this bit is "0", /CS1 is forced to "1". While this bit is "1", /CS1 carries the address range specified in the CSBR. Upon Power-on Reset, this bit is cleared to "0".

Bit D0. */CS0 Enable. "0"-Disable, "1"-Enable.* This bit enables /CS0 output. While this bit is "0", /CS1 pin is forced to "1". While this bit is "1", the /CS0 carries address range specified in the CSBR. Upon Power-on Reset, this bit is set to "1".

Operation modes
There are four kinds of operation modes available for the IPC in connection with clock generation; RUN Mode, IDLE1/2 Modes and STOP Mode.

The Operation mode is effective when the HALT instruction is executed. Restart of the MPU from the stopped state under IDLE1/2 Mode or STOP mode is affected by inputting either /RESET or interrupt (/NMI or /INT). The mode selection of these power-down modes is made by programming the HALTM field (Bit D4-3) of WDTMR.

Setting Halt Mode
Duplicate control is provided to prevent the stopping of the WDT operation caused by the halt mode setting an error due to program runaway. As described in the programming section, changing the Halt Mode field of WDTMR is in two steps. First, write "DBh" to WDTCR followed by a write to the WDTMR with the value in HALTM. Table 2 has descriptions of each mode, and Table 3 has device status in the Halt state.

2

Table 2. Power-down Modes
(When using on-chip CGC unit; CLKOUT and CLKIN are tied together)

Operation Mode	WDTMR Bit D4	Bit D3	Description at HALT State
RUN Mode	1	1	The IPC continues the operation and continuously supplies a clock to the outside.
IDLE1 Mode	0	0	The internal oscillator's operation is continued. Clock output (CLKOUT) as well as internal clock to the CPU, PIO, SIO, CTC and the Watch Dog Timer is stopped at "0" level of T4 state in the halt instruction operation code fetch cycle.
IDLE2 Mode	0	1	The internal oscillator and the CTC's operation continues and supplies clock to the outside on the CLKOUT pin continuously. But the internal clock to the CPU, PIO, SIO and the Watch Dog Timer is stopped at "0" level of T4 state in the halt instruction operation code fetch cycle.
STOP Mode	1	0	All operations of the internal oscillator, clock (CLK) output, internal clock to the CPU, PIO, CTC, SIO and the Watch Dog Timer are stopped at "0" level of T4 state in the halt instruction operation code fetch cycle.

2-97

Table 3. Device status in Halt state
(When using on-chip CGC unit; CLKOUT and CLKIN are tied together)

Mode	CGC	CPU	CTC	PIO	SIO	WDT	CLKOUT
IDLE1	O	X	X	X	X	X	X
IDLE2	O	X	O	X	X	X	O
STOP	X	X	X	X	X	X	X
RUN	O	O	O	O	O	O	O

O: Operating
X: Stop

All of the operating modes listed here are valid with crystal input (Crystal connected between XTAL1/2 or external clock input on XTAL1). For the external clock on the CLKIN pin, only the IDLE2 and RUN modes are applicable.

TIMING

Basic Timing
The basic timing is explained here with emphasis placed on the halt function relative to the clock generator. The following items are identical to those for the Z84C00. Refer to the data sheet for the Z84C00.

- Operation code fetch cycle
- Memory Read/Write operation
- Input/Output operation
- Bus request/acknowledge operation
- Maskable interrupt request operation
- Non-Maskable interrupt request operation
- Reset Operation

Operation When HALT Instruction is Executed. When the CPU fetches a halt instruction in the operation code fetch cycle, /HALT goes active (Low) in synch with the falling edge of T4 state before the peripheral LSI and CPU stops the operation. After this, the system clock generation differs depending upon the operation mode (RUN Mode, IDLE1/2 Mode or STOP Mode). If the internal system clock is running, the CPU continues to execute NOP instruction even in the halt state.

RUN Mode (HALTM = 11). Shown in Figure 31 is the basic timing when the halt instruction is executed in RUN Mode.

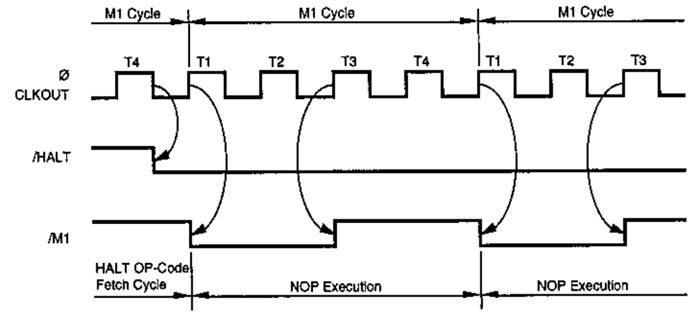


Figure 31. Timing of RUN Mode
(at Halt Instruction Command Execution)

2-98

APPENDICE C: MONTAGGIO MECCANICO DELLA SCHEDA

La **GPC® 154** può essere interfacciata al mondo esterno in due modalità; il primo é il cosidetto montaggio in piggy-back, che consiste nel montare la scheda al di sopra del proprio hardware, sfruttando il prolungamento dei pin dei connettori CN1 e CN5. Questi infatti si estendono nel lato saldature per circa 7 mm, permettendo quindi un comodo inserimento su connettori femmina, del tipo strip a passo 2.54 mm.
La seconda modalità di connessione, invece, consiste nell'inserire la scheda, eventualmente abbinata ad una scheda periferica (ad esempio un modulo tipo **ZBR** o **ZBT)**, su una guida Weidmuller tipo RS/100 (codice 414487), per il montaggio su barre Ω del tipo DIN 46277-1 e 3; questo contenitore plastico può essere ordinato alla **grifo®** come opzione **BLOCK 100.4T**.
In questo caso il collegamento elettrico tra la **GPC® 154** e la scheda periferica avviene tramite un flat-cable a 26 vie, che deve essere il più corto possibile, ed eventualmente può essere ordinato alla **grifo®**, con il codice **FLT 26+26 I/O**.
Nelle figure seguenti sono riportate le quote meccaniche, relative alla posizioni dei connettori ed alcune immagini riguardanti queste due modalità di connessione.

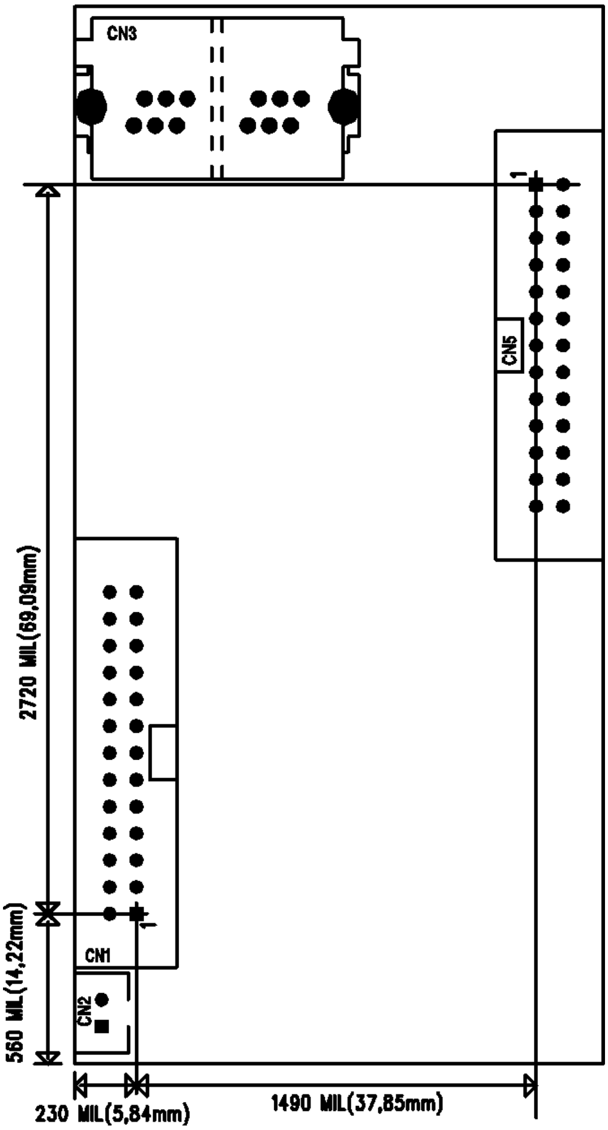
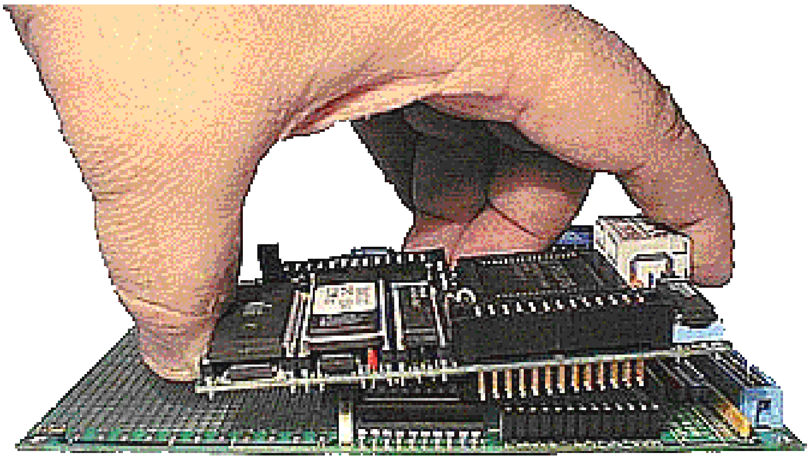


FIGURA C1: QUOTE PER MONTAGGIO IN PIGGY-BACK



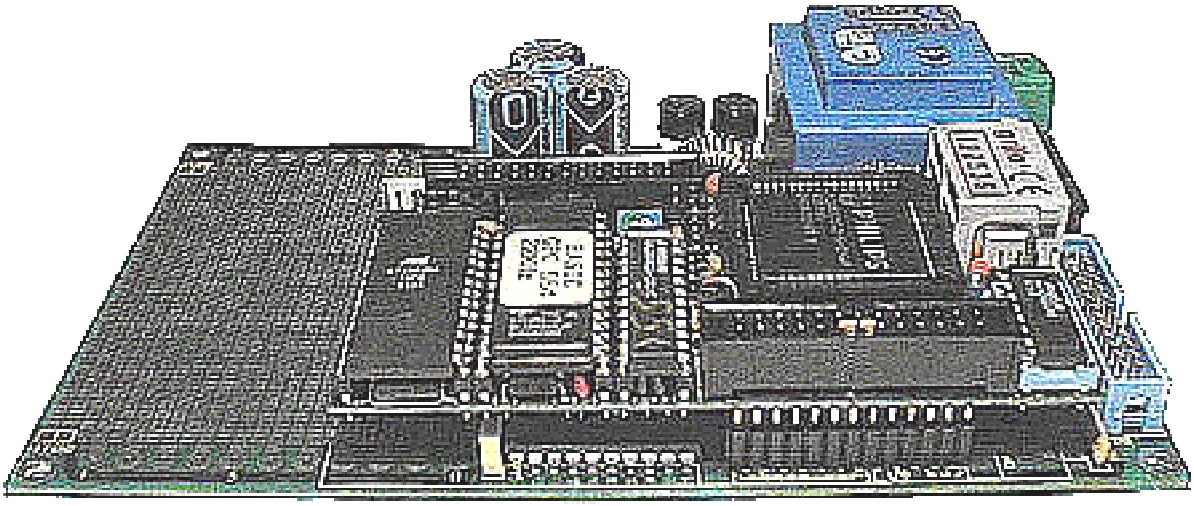


FIGURA C2: MONTAGGIO IN PIGGY-BACK

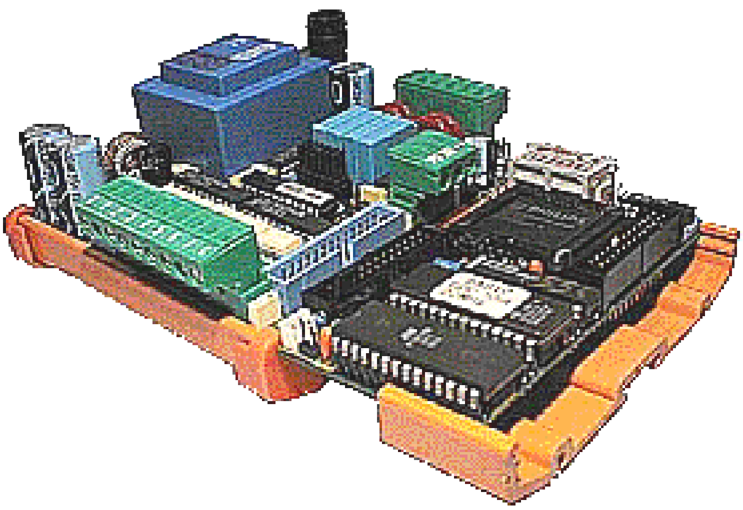


FIGURA C3: MONTAGGIO SU GUIDA WEIDMULLER

APPENDICE D: SCHEMI ELETTRICI

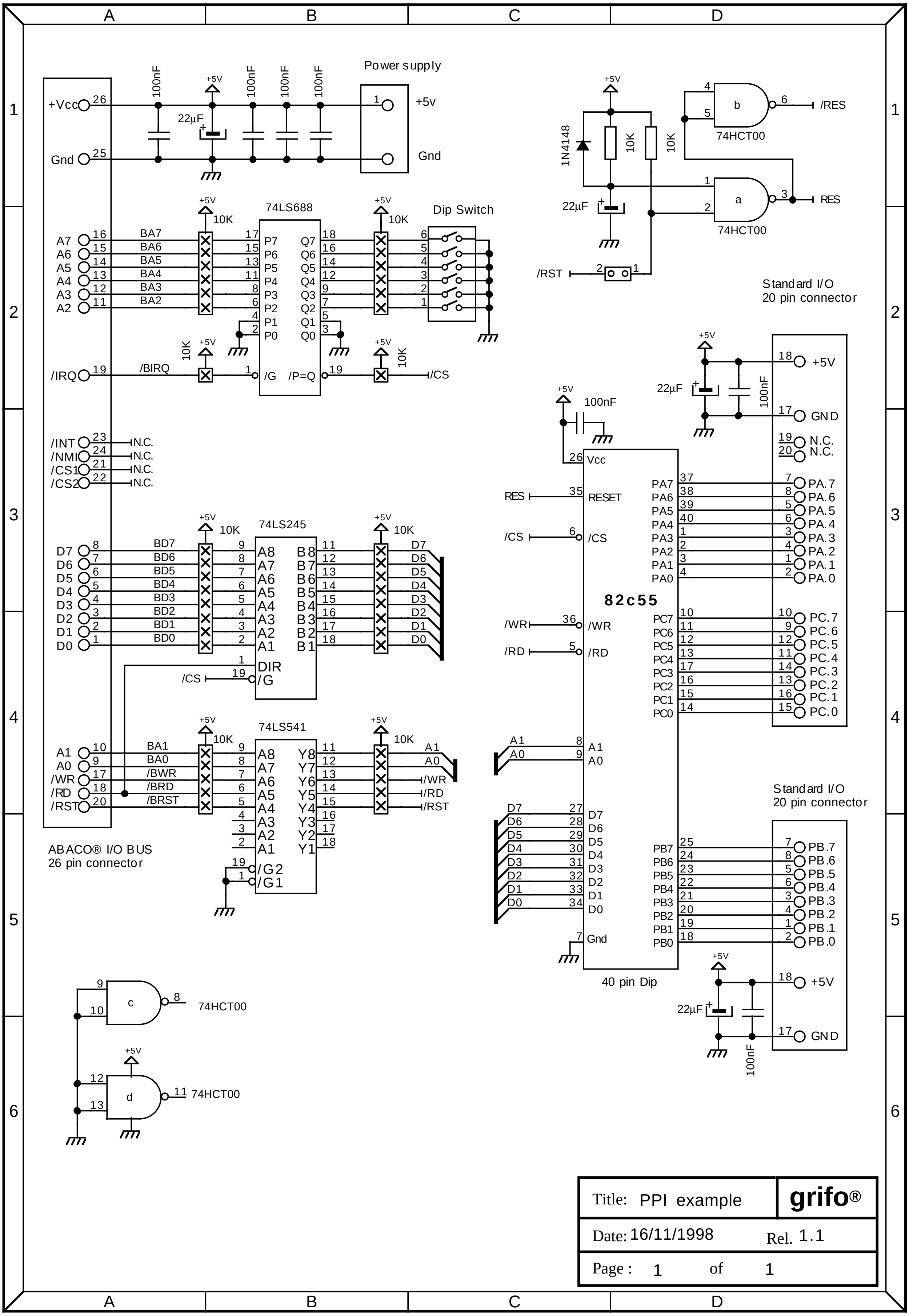


FIGURA D1: SCHEMA ELETTRICO DI ESPANSIONE PPI

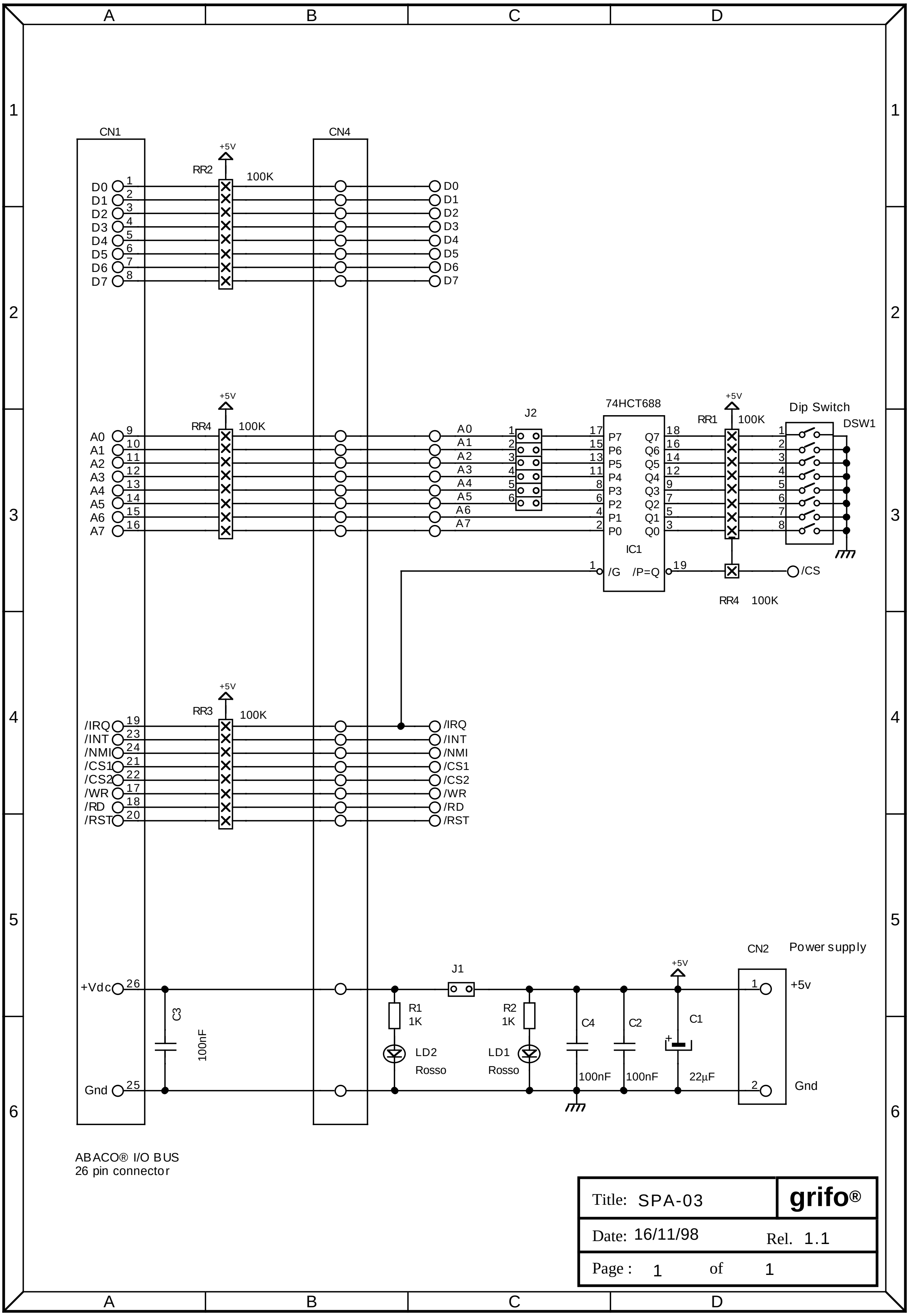


FIGURA D2: SCHEMA ELETTRICO SPA 03

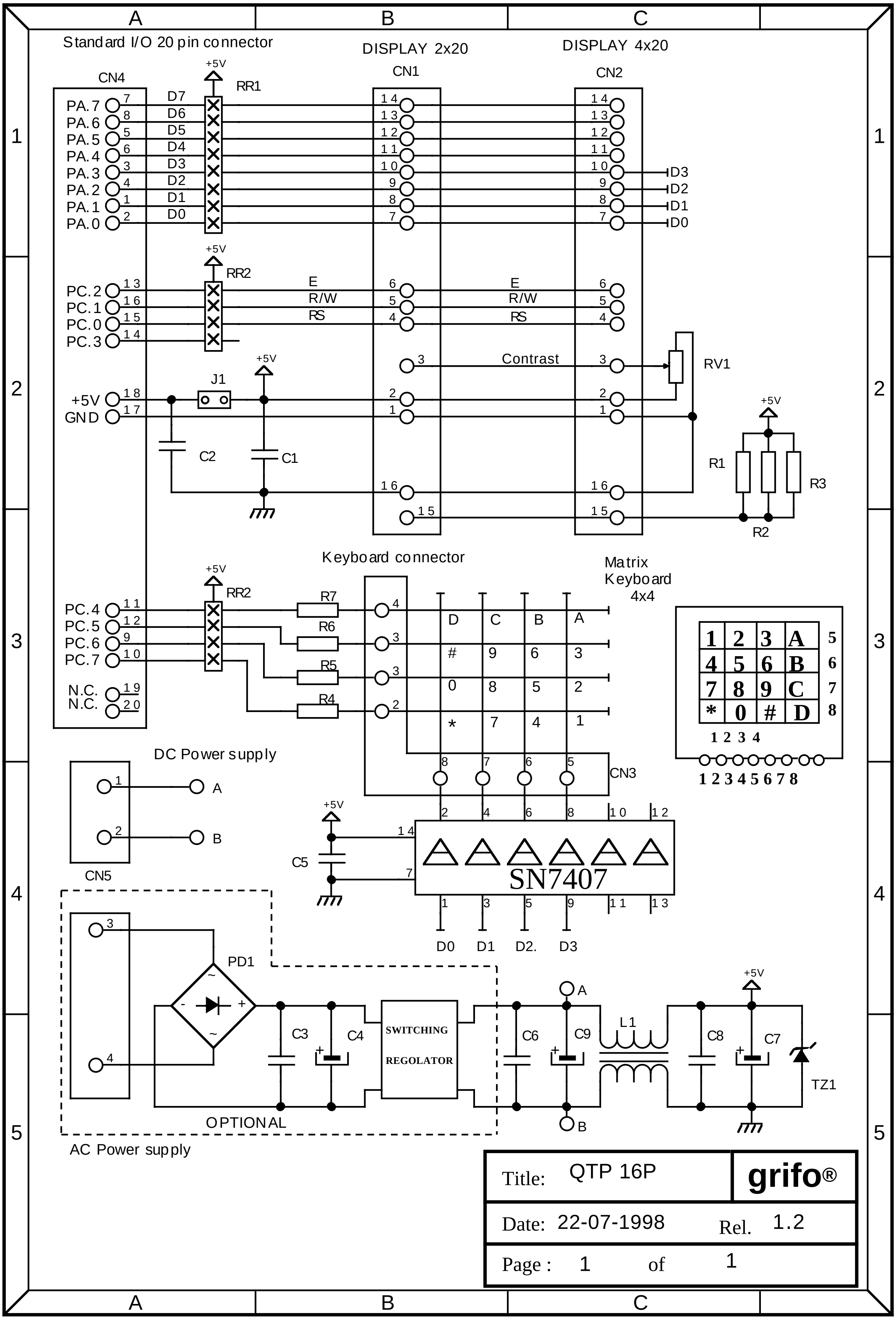


FIGURA D3: SCHEMA ELETTRICO QTP 16P

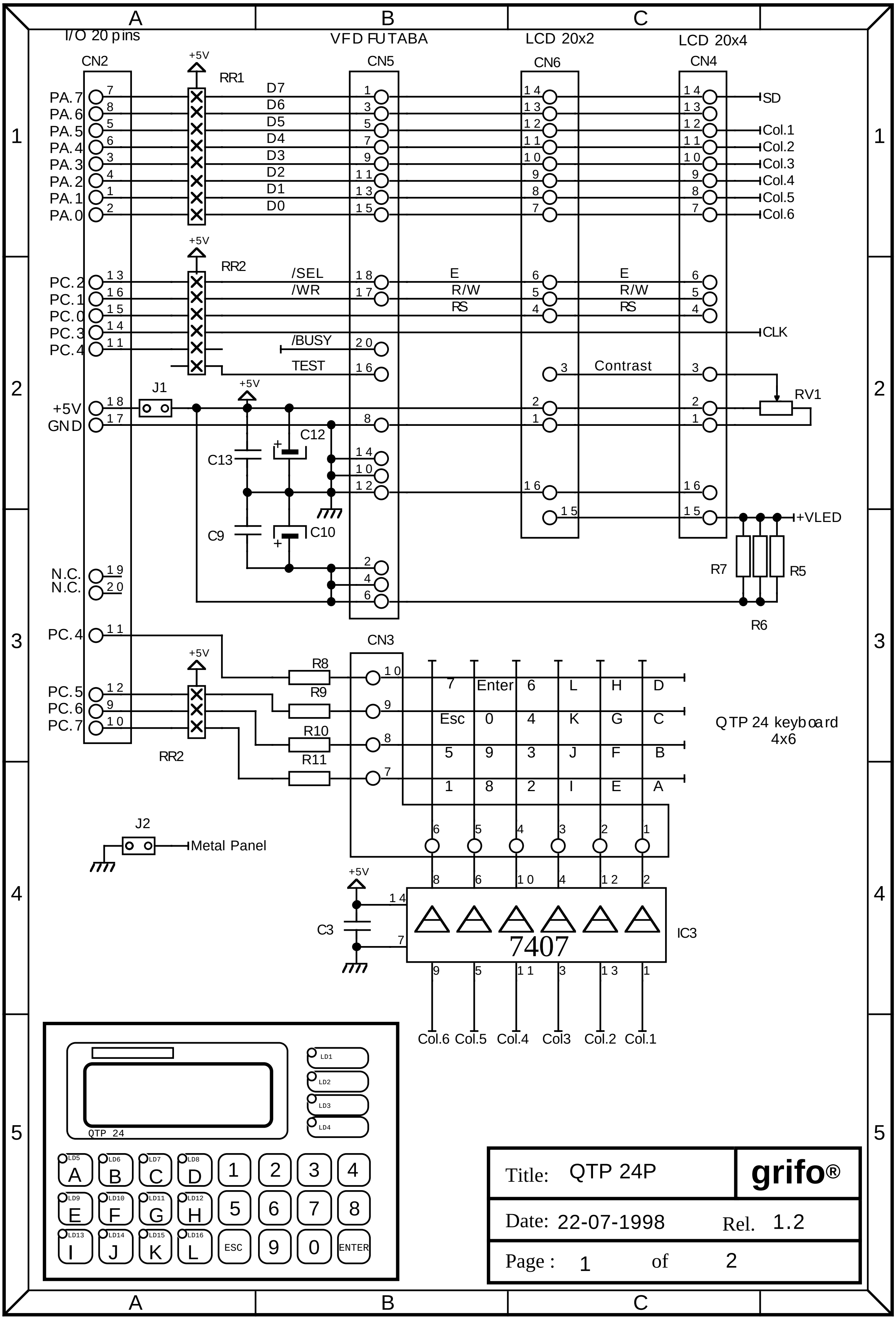


FIGURA D4: SCHEMA ELETTRICO QTP 24P 1/2

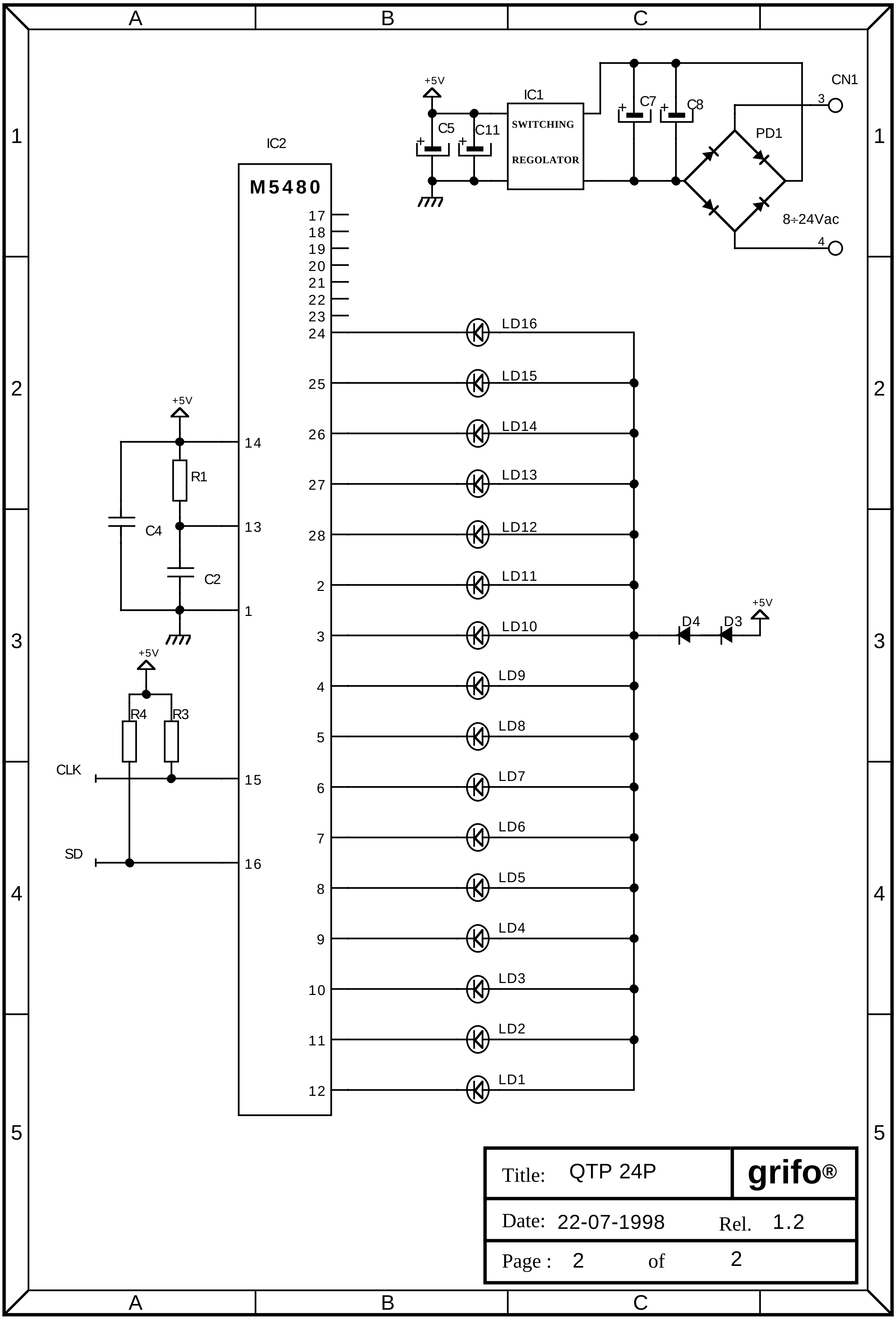


Figura D5: Schema elettrico QTP 24P 2/2

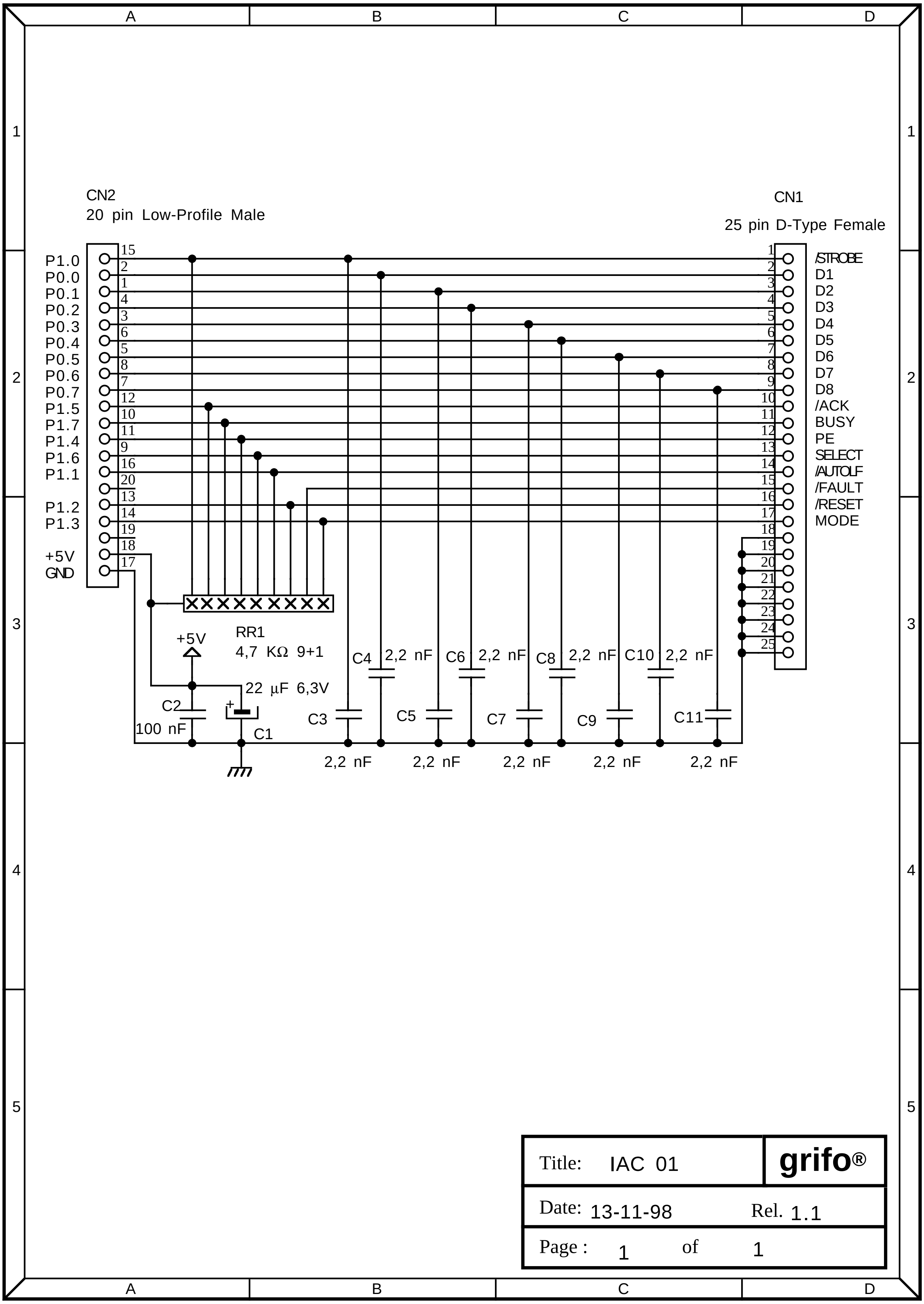


FIGURA D6: SCHEMA ELETTRICO IAC 01

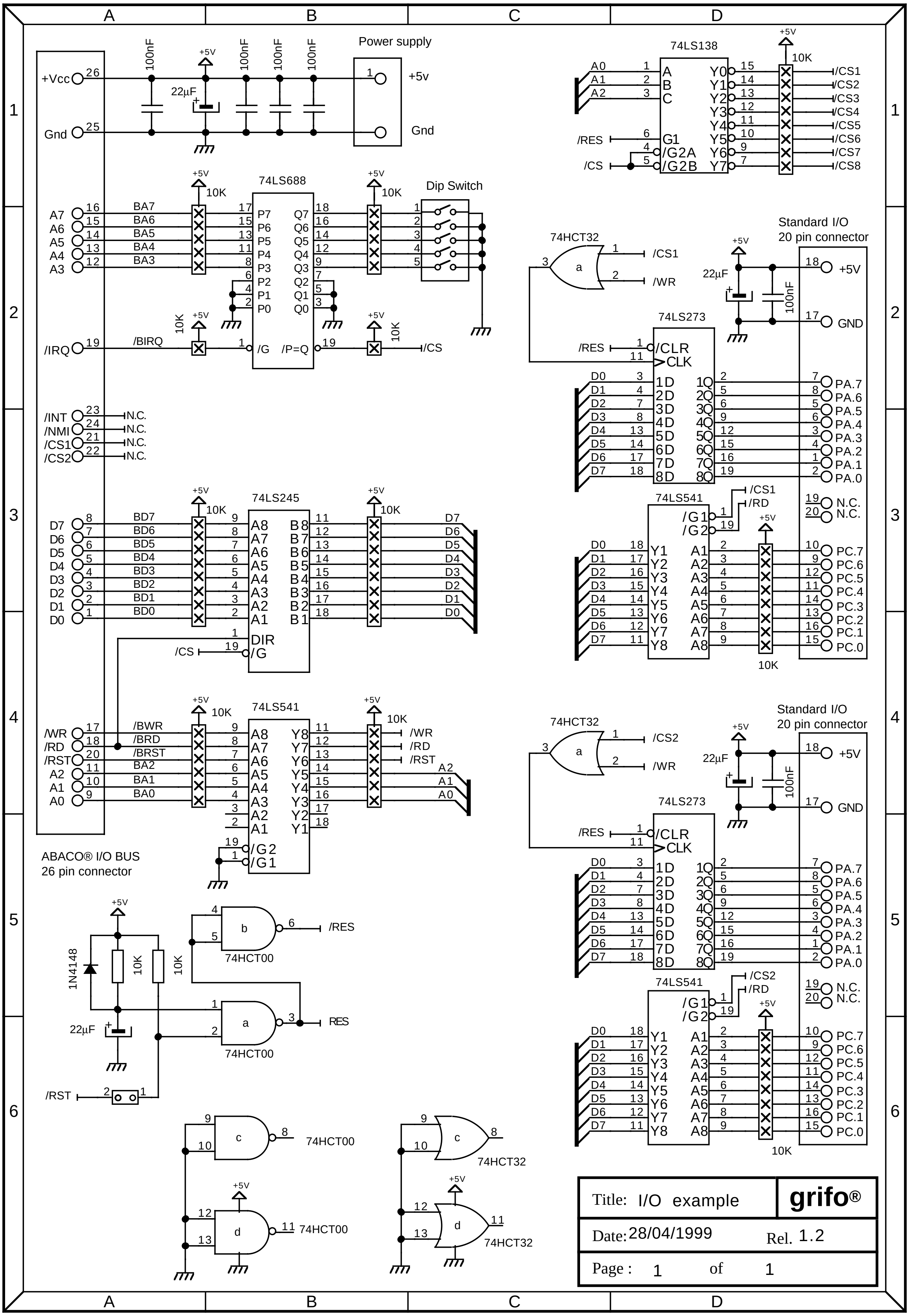


FIGURA D7: SCHEMA ELETTRICO DI I/O SU ABACO® I/O BUS

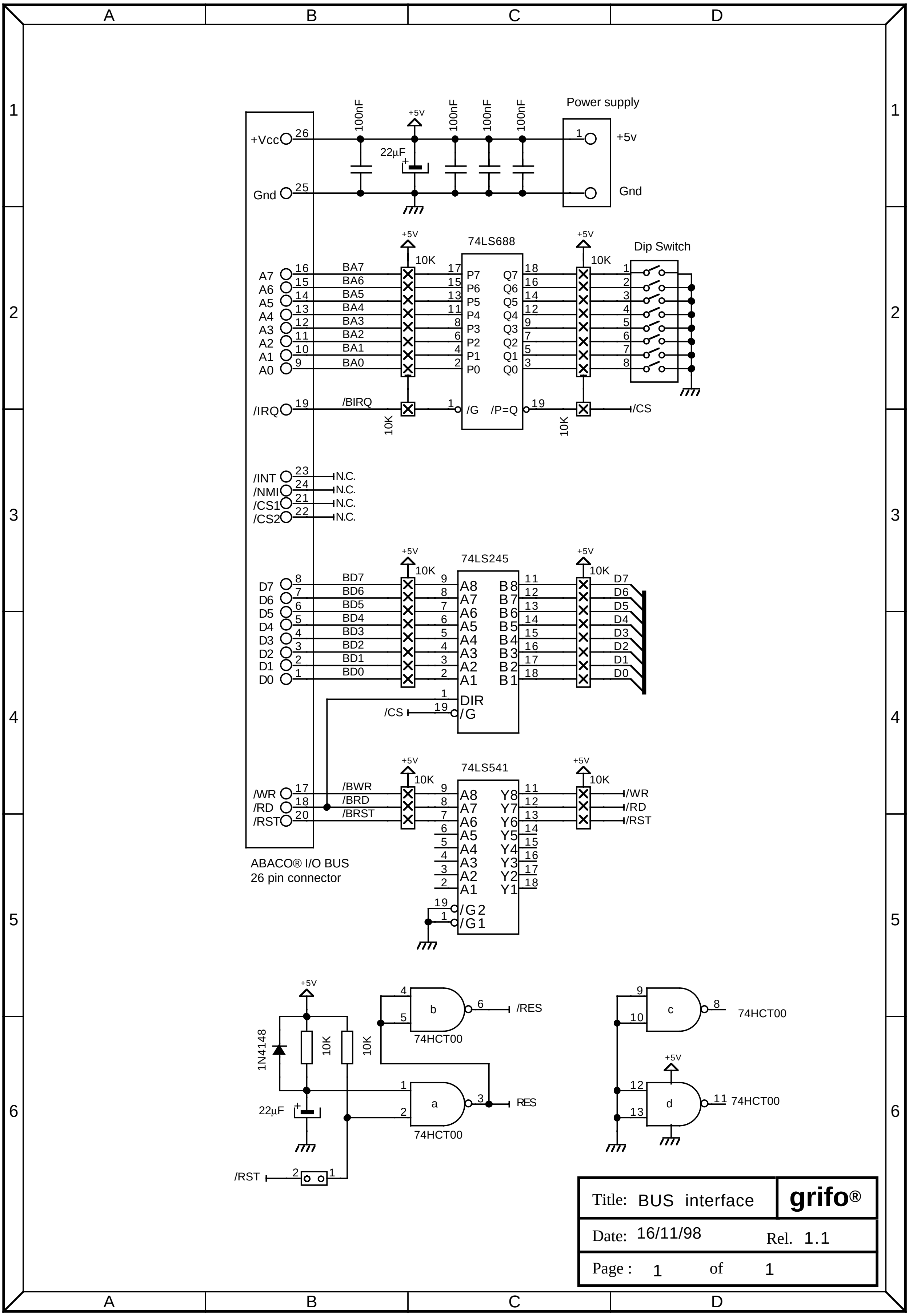


FIGURA D8: SCHEMA ELETTRICO INTERFACCIA BUS

APPENDICE E: INDICE ANALITICO

R

S

U

V

W